

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 07 月 11 日
Application Date

申請案號：092118966
Application No.

申請人：南亞科技股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 10 月 29 日
Issue Date

發文字號：09221101190
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	位元線接觸窗結構及其形成方法
	英 文	BIT LINE CONTACT STRUCTURE AND MANUFACTURING METHOD THEREOF
二、 發明人 (共1人)	姓 名 (中 文)	1. 陳錕宏
	姓 名 (英 文)	1. Mong-Hung Chen
	國 籍 (中 英 文)	1. 中華民國 TW
	住 居 所 (中 文)	1. 桃園市民有11街139巷1弄27號
	住 居 所 (英 文)	1.
三、 申請人 (共1人)	名稱或 姓 名 (中 文)	1. 南亞科技股份有限公司
	名稱或 姓 名 (英 文)	1. Nanya Technology Corporation.
	國 籍 (中 英 文)	1. 中華民國 ROC
	住 居 所 (營 業 所) (中 文)	1. 桃園縣龜山鄉華亞科技園區復興三路669號 (本地址與前向貴局申請者相同)
	住 居 所 (營 業 所) (英 文)	1. Hwa-Ya Technology Park 669, Fuhsing 3 Rd., Kueishan, Taoyuan, Taiwan, R.O.C.
	代 表 人 (中 文)	1. 連日昌
	代 表 人 (英 文)	1. Jih-Chang Lien



四、中文發明摘要 (發明名稱：位元線接觸窗結構及其形成方法)

本發明揭示一種位元線接觸窗結構及其形成方法。本發明係使用至少下列步驟：提供一基底，具有一電晶體形成於上述基底上，上述電晶體包含一閘極、一汲極區、與一源極區；以旋轉塗佈法，毯覆性地形成一第一介電層於上述電晶體上；以及圖形化上述第一介電層，形成一介層窗暴露上述汲極區。最後形成一位元線接觸窗結構。

伍、(一)、本案代表圖為：第12B圖。

(二)、本案代表圖之元件代表符號簡單說明：

200~基底；

210~隔離區；

220~閘極；

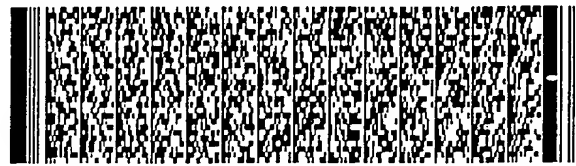
226~間隙壁；

232~汲極區；

234~源極區；

六、英文發明摘要 (發明名稱：BIT LINE CONTACT STRUCTURE AND MANUFACTURING METHOD THEREOF)

A bit line contact structure and manufacturing method thereof. The method includes providing a substrate having a transistor, having a gate electrode, drain region, and a source region, thereon, blanketly forming a first dielectric layer overlying the transistor using spin-coating, and patterning the first dielectric layer to form a via exposing the drain region, thereby forming the bit



四、中文發明摘要 (發明名稱：位元線接觸窗結構及其形成方法)

240~前金屬介電層；

240a~介電層；

240b~保護層；

240c~介電層；

242~介層窗；

BB、CC~剖面線。

六、英文發明摘要 (發明名稱：BIT LINE CONTACT STRUCTURE AND MANUFACTURING METHOD THEREOF)

line contact structure.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得,不須寄存。



五、發明說明 (1)

【發明所屬之技術領域】

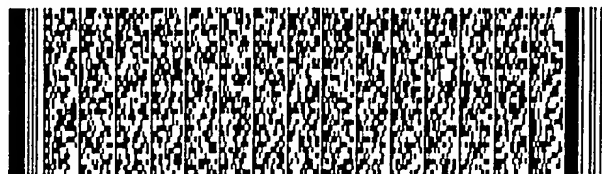
本發明係有關於一種位元線接觸窗結構及其形成方法，特別係有關一種以旋塗式材料作為前金屬介電層的位元線接觸窗結構及其形成方法。

【先前技術】

近年來，隨著積體電路集積度的增加，半導體製程設計亦朝向縮小半導體元件尺寸以提高密度之方向發展，以目前廣泛使用之動態隨機存取記憶體為例，64M DRAM製程已從 $0.35\ \mu\text{m}$ 轉換至 $0.3\ \mu\text{m}$ 以下，而128M DRAM或256M DRAM則更朝向 $0.2\ \mu\text{m}$ 以下發展。

然而，隨著線寬不斷地縮減，製程困難度也不斷地提高。以位元線接觸窗的填充製程為例，當線寬縮減至約 $0.11\ \mu\text{m}$ 或更小時，上述位元線接觸窗所暴露的汲極區的寬度就只有 $0.038\ \mu\text{m}$ 以下。因此，在上述位元線接觸窗中形成一導電層時作為位元線接觸(bit line contact; CB)時就容易發生位元線接觸開路(CB open)或是字元線-位元線短路(word line-bit line short)的缺陷發生。

另外，一般位元線接觸窗結構係使用硼磷矽玻璃(boro-phosphosilicate glass; BPSG)來作為前金屬介電層。BPSG因具有優良的填洞能力，即使線寬至約 $0.11\ \mu\text{m}$ 時，仍廣為業界所使用。然而，當線寬進一步縮減至 $0.070\ \mu\text{m}\sim 0.090\ \mu\text{m}$ 時，再以位元線接觸窗的填充製程為例，上述位元線接觸窗所暴露的汲極區的寬度就更只有0.



五、發明說明 (2)

060 μm 以下，使用BPSG來作為前金屬介電層時，在上述前金屬介電層中，就時常會發現有足以危害製程良率的孔洞(void)發生。

請參考第1A、B、C~5A、B、C圖，為一系列之俯視圖與剖面圖，係顯示一習知的位元線接觸窗結構及其形成方法如何導致上述的位元線接觸開路、字元線-位元線短路、以及孔洞的缺陷。

在第1A、B、C~5A、B、C圖中，標號為「A」者，均為俯視圖；標號為「B」者，均為標號為「A」之圖中沿剖面線BB之剖面圖，係顯示上述習知技術中所發生的孔洞問題；標號為「C」者，均為標號為「A」之圖中沿剖面線CC之剖面圖，係顯示習知技術中所發生的位元線接觸開路、字元線-位元線短路的問題。

請參考第1A~1C圖，首先，提供一基底100，通常為單晶矽之基底；其中基底100具有電晶體之結構，在基底100的主動面上具有以一間隔交錯排列的汲極區132與源極區134；在第1A圖Y方向的各汲極區132之間與各源極區134之間，分別具有一隔離區110；在第1A圖X方向的汲極區132與源極區134之間具有一凸出基底100表面的閘極120，閘極120係為一位元線，依據種種需求而通常具有包含導體層的多層結構，在閘極120之側壁有一間隙壁126，由於有間隙壁126存在於閘極120之側壁上，因此當半導體元件的設計準則(design rule)如上所述將線寬縮減至0.070 μm ~0.090 μm 時，相鄰的閘極120的間隙壁126之間所曝露的



五、發明說明 (3)

汲極區132的寬度就只有約 $0.060\ \mu\text{m}$ 以下。

請參考第2A圖，毯覆性地於基底100上形成一介電層140，作為前金屬介電層。為了方便顯示，第2A圖中的介電層140係繪示為透明狀。

請參考第3A圖，圖形化介電層140，形成一暴露汲極區132的開口，成為介層窗142。

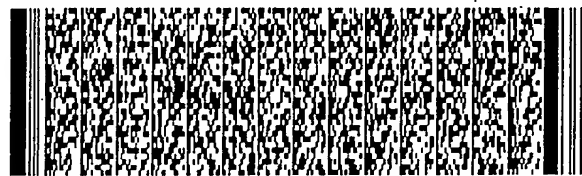
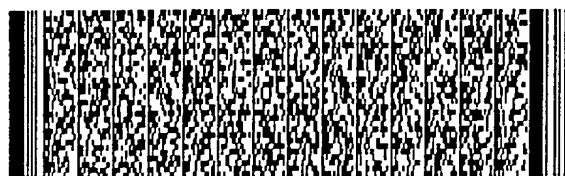
請參考第4A圖，在介層窗142中填入一導電層，分別形成位元線接觸墊162a、162b、與162c，電性連結於各汲極區132。

最後，請參考第5A圖，以一金屬層分別形成與閘極120所構成的字元線的方向垂直的位元線190a、190b、與190c。其中位元線190a係電性連接各個位元線接觸墊162a；而位元線190b電性連接各個位元線接觸墊162b；另外位元線190c係電性連接各個位元線接觸墊162c。

如上所述，在第2B圖中，當線寬縮減至 $0.07\ \mu\text{m}\sim 0.09\ \mu\text{m}$ 時，即使使用填洞能力佳的BPSG來形成介電層140，仍在相鄰的閘極120的間隙壁126之間形成一橫跨兩個汲極區132上方的孔洞145。

接下來，如第3B圖所示，圖形化介電層140之後，原來的孔洞145已成為貫穿相鄰兩個介層窗142之間的介電層140之孔洞145'。

然後，如第4B圖所示，形成位元線接觸墊162a、162b、與162c之時，上述導電層在填充介層窗142時，亦同時填滿孔洞145'，使得在原來設計上，應該被隔離區110與



五、發明說明 (4)

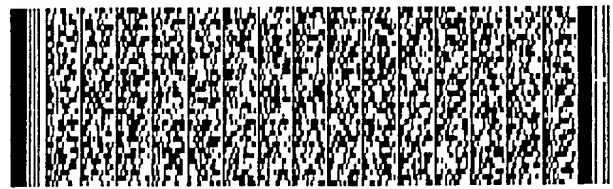
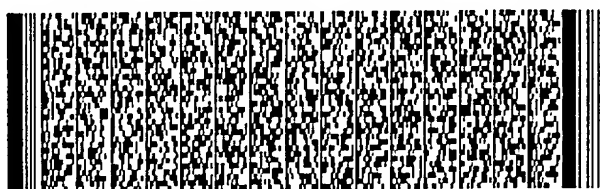
介電層142所隔絕的位元線接觸墊162a與162b，因為孔洞145'的存在而被橋接在一起，形成短路。

最後，如第5B圖所示，形成位元線190a、190b、與190c之後，在位元線190a與190b之間，亦成為短路的狀態，造成了所謂位元線-位元線短路(bit line-bit line short)的缺陷發生，對半導體製程良率造成不良影響。

又，當線寬縮減至 $0.070\ \mu\text{m}$ ~ $0.090\ \mu\text{m}$ 時，在第3A圖中的介層窗142所暴露的汲極區132的寬度就只有約 $0.060\ \mu\text{m}$ 以下，相對於介電層140的厚度，一般為約 $0.3\ \mu\text{m}$ ~ $1.0\ \mu\text{m}$ ，介層窗142係具有相當大的深度。而在圖形化介電層140的過程中，係以非等向性蝕刻，來移除原本存在於介電層140內的介電層140。因此，愈接近汲極區132的介電層140就愈難被蝕刻，就可能會造成下列兩種結果。

第一，當上述的非等向性蝕刻反應終止時，在介層窗142的底部就往往會留下一些未受到蝕刻或未完全蝕刻的介電層140，而未暴露出汲極區132。(未繪示於圖面)後續第4A圖中在介層窗142內填入作為位元線接觸墊162a、162b、與162c的導電層時，在介電層140並非導體的情況下，無法使位元線接觸墊162a、162b、與162c和汲極區132產生電性連結，就造成了上述的位元線接觸開路的缺陷，對半導體製程良率亦會造成不良影響。

第二，如第3C圖所示，為了避免在介層窗142的底部殘留介電層140而造成上述的位元線接觸開路的缺陷，就以過蝕刻(over etching)的方式強行將介層窗142底部的



五、發明說明 (5)

介電層140蝕除，以暴露出汲極區132。然而，為了避免位元線的閘極120與後續所形成的位元線或位元線接觸之間發生短路，閘極120中的導電層係為間隙壁126所保護，並在間隙壁126材質的選擇上以及蝕刻介電層140的方式，係以介電層140對間隙壁126具有高蝕刻選擇比的方式進行蝕刻，避免閘極120中的導電層暴露出來，而與後續所形成的位元線或位元線接觸之間發生短路。以間隙壁126為SiN為例，材質為BPSG的介電層140對間隙壁126的蝕刻選擇比為約10~15，一旦採取過蝕刻的方式強行將介層窗142底部的介電層140蝕除，部份的間隙壁126也會遭到蝕除，形成凹部142a而使閘極120中的導電層暴露出來。

請參考第4C圖，位元線接觸墊162a接觸到閘極120中的導電層，而使位元線接觸墊162a與閘極120所構成的字元線之間形成電性連結。

最後，請參考第5C圖，由於位元線接觸墊162a與閘極120所構成的字元線之間形成電性連結，形成位元線190a之後，位元線190a亦與閘極120所構成的字元線之間形成電性連結，就造成了上述的字元線-位元線短路的缺陷，對半導體製程良率亦會造成不良影響。

【發明內容】

有鑑於此，本發明的主要目的係提供一種位元線接觸窗結構及其形成方法，在形成位元線接觸窗的介電層時，避免孔洞的產生，因而防止位元線-位元線短路的缺陷之發生，以改善半導體製程的良率，並降低上述半導體製程



五、發明說明 (6)

的成本。

本發明的另一目的係提供一種位元線接觸窗結構及其形成方法，在形成位元線接觸窗結構時，避免上述位元線接觸開路或是字元線-位元線短路的缺陷之發生，以改善半導體製程的良率，並降低上述半導體製程的成本。

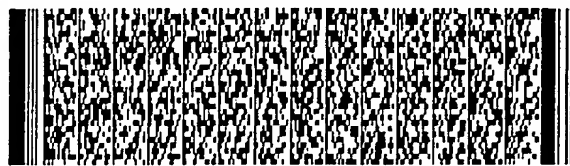
為達成本發明之上述目的，本發明係提供一種位元線接觸窗結構，包含：一基底，具有一電晶體形成於上述基底上，上述電晶體包含一閘極、一汲極區、與一源極區；以及一毯覆性的第一介電層，包含一旋塗式材料，形成於上述電晶體上，上述第一介電層並具有一開口，暴露上述汲極區。

本發明係又提供一種位元線接觸窗結構的形成方法，包括下列步驟：提供一基底，具有一電晶體形成於上述基底上，上述電晶體包含一閘極、一汲極區、與一源極區；以旋轉塗佈法，毯覆性地形成一第一介電層於上述電晶體上；以及圖形化上述第一介電層，形成一介層窗暴露上述汲極區。

為了讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖示，作詳細說明如下：

【實施方式】

請參考第6A、B、C~13A、B、C圖，為一系列之俯視圖與剖面圖，係顯示本發明較佳實施例之位元線接觸窗結構及其形成方法的流程。



五、發明說明 (7)

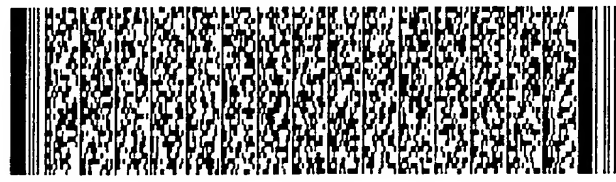
在第6A、B、C~13A、B、C圖中，標號為「A」者，均為俯視圖；標號為「B」者，均為標號為「A」之圖中沿剖面線BB之剖面圖；標號為「C」者，均為標號為「A」之圖中沿剖面線CC之剖面圖。

步驟一：

請參考第6A~6C圖，首先，提供一基底200，通常為單晶矽之基底；其中基底200具有電晶體之結構，在基底200的主動面上具有以一間隔交錯排列的汲極區232與源極區234；在第6A圖Y方向的各汲極區232之間與各源極區234之間，分別具有一隔離區210，例如為場氧化層(field oxide；FOX)或是淺溝槽隔離(shallow trench isolation；STI)等；在第6A圖X方向的汲極區232與源極區234之間具有一凸出基底200表面的閘極220，閘極220係為一位元線，依據種種需求而通常具有包含導體層的多層結構。在閘極220之側壁有例如為SiN所形成的一間隙壁226，用以保護上述閘極220中的導體層，並將上述閘極220中的導體層與外界隔絕。由於有間隙壁226存在於閘極220之側壁上，因此當半導體元件的設計準則(design rule)如上所述將線寬縮減至 $0.070\ \mu\text{m}$ ~ $0.090\ \mu\text{m}$ 時，相鄰的閘極220的間隙壁226之間所曝露的汲極區232的寬度就只有約 $0.060\ \mu\text{m}$ 以下。

步驟二：

請參考第7A~7C圖，以旋轉塗佈法，毯覆性地形成一介電層240a於基底200上，覆蓋於閘極220、汲極區232、

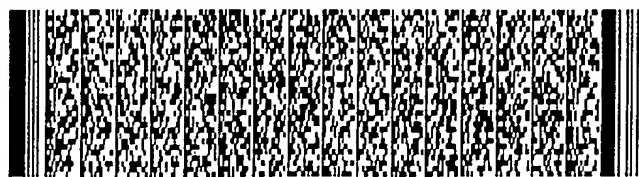


五、發明說明 (8)

與源極區234之上，為了方便顯示，在第7A圖中所繪示的介電層240a以透明狀呈現。其中介電層240a的厚度較好為 $3,000 \text{ \AA} \sim 4,000 \text{ \AA}$ ；而介電層240a的材質較好為聚亞醯胺(polyimide)、聚矽酸鹽(polysilsequioxane)、或摻氟的聚亞醯胺(fluorinated polyimide)等適用於旋轉塗佈法的旋塗式材料，具有極佳的填洞性，並使介電層240a對間隙壁226具有極佳的蝕刻選擇比，較好為不小於30的蝕刻選擇比。因此，當半導體元件的設計準則將線寬縮減至 $0.070 \mu\text{m} \sim 0.090 \mu\text{m}$ 時，此時相鄰的閘極220的間隙壁226之間所曝露的汲極區232的寬度就只有約 $0.060 \mu\text{m}$ 以下的情況下，如第7A~7C圖所示，所形成的介電層240a中，就幾乎沒有任何孔洞特別是會造成後續位元線-位元線短路缺陷的孔洞存在於其中；並在後續將介電層240a圖形化的過程中，能夠在不使為間隙壁226所保護之閘極220中的導電層暴露的情況下，將汲極區232上的介電層240a完全移除。

步驟三：

請參考第8A~8C圖，依照製程需求可另外在介電層240a上順應性地形成一保護層240b。如果另有需求，更可以再於保護層240b毯覆性地形成一介電層240c。而依照本較佳實施例中的需求：保護層240b的材質較好為可以阻擋氧氣、氧原子、臭氧、或氧自由基等物質進入介電層240a的物質，例如為SiN；且保護層240b的厚度較好為 $100 \text{ \AA} \sim 300 \text{ \AA}$ ；介電層240c的材質選擇上，較好為可使保護層



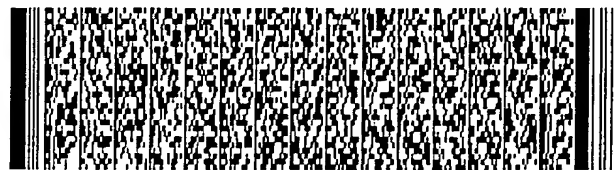
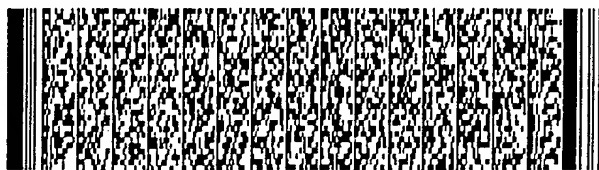
五、發明說明 (9)

240b與介電層240a分別對介電層240c都具有高蝕刻選擇性的材料，例如為至少以四乙烷基氧矽甲烷(tetraethoxysilane; TEOS)為前驅物所形成的氧化物。介電層240c的形成厚度較好為 $3,000 \text{ \AA} \sim 6,000 \text{ \AA}$ ，如此，可再以例如為化學機械研磨法等方法，對介電層240c施以平坦化，並將介電層240c磨除 $2,000 \text{ \AA} \sim 3,000 \text{ \AA}$ 的厚度。最後如第8B、8C圖所示，留下厚度為 $1,000 \text{ \AA} \sim 3,000 \text{ \AA}$ 的介電層240c，並與保護層240b和介電層240a，共同成為以介電層240a為主成分的前金屬介電層240。另外，為了方便顯示，在第8A圖中所繪示的前金屬介電層240係以透明狀呈現。

在本實施例中保護層240b與介電層240c的形成，係有利於使用後述步驟四～七的步驟對介電層240a圖形化。而在不形成保護層240b與介電層240c的情況下，亦可以如上述習知技術一般，直接對介電層240a施以圖形化，亦能夠得到本發明之效果。

步驟四：

請參考第9A~9C圖，形成一圖案化阻劑層290於前金屬介電層240上，並圖形化介電層240c。阻劑層290具有一開口292，暴露汲極區232上方的前金屬介電層240，以便將前金屬介電層240圖形化。再以圖案化阻劑層290為罩幕，對介電層240c施以非等向性蝕刻，形成開口242a，暴露汲極區232上方的保護層240b與介電層240a。上述的非等向性蝕刻較好為選擇介電層240c對保護層240b具有高蝕刻選



五、發明說明 (10)

擇比的蝕刻方式，可以利用保護層240b作為蝕刻停止層，先將介電層240c圖形化。

步驟五：

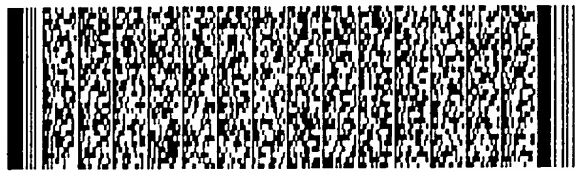
請參考第10A~10C圖，去除圖案化阻劑層290。去除圖案化阻劑層290可使用溶劑或使用氧氣電漿或臭氧以灰化法去除。但如果在沒有保護層240b的情況下，直接以灰化法去除圖案化阻劑層290時，在介電層240a為聚亞醯胺、聚矽酸鹽、或摻氟的聚亞醯胺等適用於旋轉塗佈法的介電材料時，介電層240a會受到氧氣電漿或臭氧中的氧氣、氧原子、臭氧、或氧自由基等物質的侵蝕，形成許多孔洞而造成介電層240a的毒化(poisoned)現象；而保護層240b即可以在上述灰化的過程中，保護介電層240a，並防止上述氧氣電漿或臭氧中的腐蝕成分侵入介電層240a。因此，在先前步驟形成保護層240b時，可以增加對去除圖案化阻劑層290的方式的選擇性。

步驟六：

請參考第11A~11C圖，移除開口242a底部的保護層240b。例如可以介電層242c為罩幕，對保護層240b施以非等向性蝕刻。上述的非等向性蝕刻較好為選擇保護層240b對介電層240a具有高蝕刻選擇比的蝕刻方式，可以利用介電層240a作為蝕刻停止層，先將保護層240b圖形化。

步驟七：

請參考第12A~12C圖，以介電層242b與242c為罩幕，對介電層242a施以非等向性蝕刻，形成一介層窗242，暴



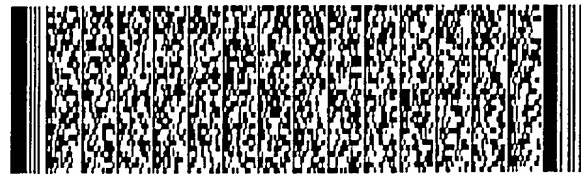
五、發明說明 (11)

露出位於相鄰的閘極220之間隙壁226之間、且為隔離區210所隔離的汲極區232。

如第12B圖所示，受惠於本發明較佳實施例之以旋轉塗佈法所形成的介電層240a例如為聚亞醯胺、聚矽酸鹽、或摻氟的聚亞醯胺等適用於旋轉塗佈法的介電材料，所具有的極佳填洞性，即使當半導體元件的設計準則將線寬縮減至 $0.070\ \mu\text{m}\sim 0.090\ \mu\text{m}$ 時，此時相鄰的閘極220之間隙壁226之間所曝露的汲極區232的寬度就只有約 $0.060\ \mu\text{m}$ 以下的情況下，幾乎沒有任何孔洞特別是會造成後續位元線一位元線短路缺陷的孔洞存在於介電層240a中；在形成介層窗242之後，在相鄰的介層窗242之間的介電層240a中，更沒有貫穿相鄰的介層窗242之間的孔洞存在。

如第12C圖所示，受惠於本發明較佳實施例之以旋轉塗佈法所形成的介電層240a例如為聚亞醯胺、聚矽酸鹽、或摻氟的聚亞醯胺等介電材料，使介電層240a對間隙壁226的材質例如為SiN具有極佳的蝕刻選擇比，較好為不小於30的蝕刻選擇比。因此，當半導體元件的設計準則將線寬縮減至 $0.070\ \mu\text{m}\sim 0.090\ \mu\text{m}$ 時，此時相鄰的閘極220之間隙壁226之間所曝露的汲極區232的寬度就只有約 $0.060\ \mu\text{m}$ 以下的情況下，即使以過蝕刻的手段將汲極區232上的介電層240a完全移除時，間隙壁226仍能保持其完整性，仍能發揮其保護上述閘極220中的導體層、並將上述閘極220中的導體層與外界隔絕之功能。

步驟八：

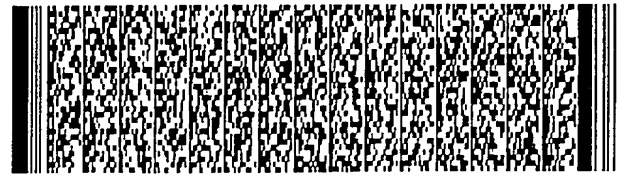
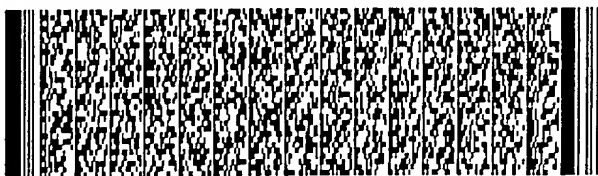


五、發明說明 (12)

最後，請參考第13A~13C圖，於介層窗242內填入一導電層，例如為摻雜的複晶矽、鎢、鋁、或銅等導電材料，以形成與汲極區232電性連結的位元線接觸墊262。其形成方法可以先以化學氣相沈積法、金屬有機化學氣相沈積法、濺鍍法等物理氣相沈積法、或電鍍法等先毯覆性地形成上述導電層於基底200上後，再以化學機械研磨或回蝕法除去多餘的上述導電層，僅在介層窗242內留下上述導電層，而成為位元線接觸墊262。

如第13B圖所示，由於在相鄰的介層窗242之間的介電層240a中，沒有貫穿相鄰的介層窗242之間的孔洞存在，因此相鄰的位元線接觸墊262因受到相鄰的介層窗242之間的介電層240a、以及其下相鄰的汲極區232之間的隔離區210之隔絕，就不會有橋接而導致電性連接的情形。因此，後續形成位元線(未繪示於圖面)之後，有效地避免上述位元線-位元線短路的發生，係達成了上述本發明的主要目的。

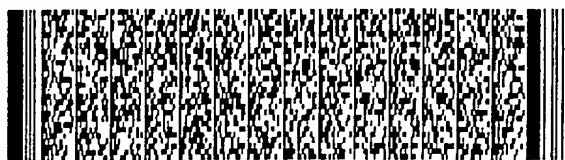
如第13C圖所示，由於在步驟七中，即使以過蝕刻的手段將汲極區232上的介電層240a完全移除時，間隙壁226仍能保持其完整性，仍能發揮其保護上述閘極220中的導體層、並將上述閘極220中的導體層與外界隔絕之功能，因此位元線接觸墊262可以和汲極區電性連結，而不會與閘極220中的導體層接觸。因此，後續形成位元線(未繪示於圖面)之後，可確保上述位元線能與汲極區232電性連結，而有效地防止上述位元線開路缺陷的發生；亦可確保



五、發明說明 (13)

位元線不會與閘極220發生電性連結，而有效地避免上述字元線-位元線短路的缺陷發生；係達成了上述本發明的另一目的。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1A、B、C~5A、B、C圖為一系列之俯視圖與剖面圖，係顯示一習知的位元線接觸窗結構及其形成方法如何導致位元線接觸開路、字元線-位元線短路、以及位元線-位元線短路的缺陷。

第6A、B、C~13A、B、C圖為一系列之俯視圖與剖面圖，係顯示本發明較佳實施例之位元線接觸窗結構及其形成方法的流程。

【符號說明】

- 100、200~基底；
- 110、210~隔離區；
- 120、220~閘極；
- 126、226~間隙壁；
- 132、232~汲極區；
- 134、234~源極區；
- 140、240a、240c~介電層；
- 142、242~介層窗；
- 142a~凹部；
- 145、145'~孔洞；
- 162a、162b、162c、262~介層窗接觸墊；
- 190a、190b、190c~位元線；
- 240~前金屬介電層；
- 240b~保護層；
- 242a~開口；



圖式簡單說明

290~圖案化阻劑層；

292~開口；

BB、CC~剖面線。



六、申請專利範圍

1. 一種位元線接觸窗結構，包含：

一基底，具有一電晶體形成於該基底上，該電晶體包含一閘極、一汲極區、與一源極區；以及

一毯覆性的第一介電層，包含一旋塗式材料，形成於該電晶體上，該第一介電層並具有一開口，暴露該汲極區。

2. 如申請專利範圍第1項所述之位元線接觸窗結構，其中該第一介電層上，更包含一保護層。

3. 如申請專利範圍第1項所述之位元線接觸窗結構，其中該第一介電層上，依序更包含一保護層與一第二介電層。

4. 如申請專利範圍第1項所述之位元線接觸窗結構，更包含一導電層，填充於該開口內。

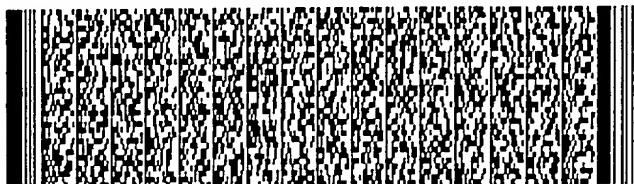
5. 如申請專利範圍第1項所述之位元線接觸窗結構，其中該第一介電層包含聚亞醯胺(polyimide)、聚矽酸鹽(polysilsequioxane)、或摻氟的聚亞醯胺(fluorinated polyimide)。

6. 如申請專利範圍第1項所述之位元線接觸窗結構，其中該第一介電層的厚度為 $3,000\text{ \AA} \sim 4,000\text{ \AA}$ 。

7. 如申請專利範圍第2項所述之位元線接觸窗結構，其中該保護層為SiN。

8. 如申請專利範圍第2項所述之位元線接觸窗結構，其中該保護層的厚度為 $100\text{ \AA} \sim 300\text{ \AA}$ 。

9. 如申請專利範圍第3項所述之位元線接觸窗結構，



六、申請專利範圍

其中該保護層為SiN。

10. 如申請專利範圍第3項所述之位元線接觸窗結構，其中該保護層的厚度為 $100 \text{ \AA} \sim 300 \text{ \AA}$ 。

11. 如申請專利範圍第3項所述之位元線接觸窗結構，其中該第二介電層包含一氧化物層。

12. 如申請專利範圍第3項所述之位元線接觸窗結構，其中該第二介電層的厚度為 $1,000 \text{ \AA} \sim 3,000 \text{ \AA}$ 。

13. 如申請專利範圍第4項所述之位元線接觸窗結構，其中該導電層為摻雜的複晶矽。

14. 如申請專利範圍第4項所述之位元線接觸窗結構，其中該導電層為鎢、鋁、或銅。

15. 如申請專利範圍第4項所述之位元線接觸窗結構，其中該導電層的厚度為 $2,000 \text{ \AA} \sim 4,000 \text{ \AA}$ 。

16. 一種位元線接觸窗結構的形成方法，包括下列步驟：

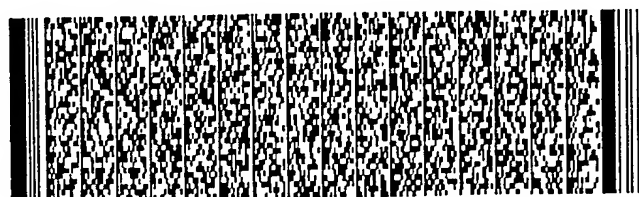
提供一基底，具有一電晶體形成於該基底上，該電晶體包含一閘極、一汲極區、與一源極區；

以旋轉塗佈法，毯覆性地形成一第一介電層於該電晶體上；以及

圖形化該第一介電層，形成一介層窗暴露該汲極區。

17. 如申請專利範圍第16項所述之位元線接觸窗結構的形成方法，其中圖形化該低介電常數材料之前，更包含：

順應性地形成一保護層，覆蓋該第一介電層；



六、申請專利範圍

毯覆性地形成一第二介電層於該保護層上；以及平坦化該第二介電層。

18. 如申請專利範圍第17項所述之位元線接觸窗結構的形成方法，其中圖形化該第一介電層更包含：

形成一圖案化阻劑層於該第二介電層上；

以該圖案化阻劑層為罩幕，對該第二介電層進行非等向性蝕刻，形成一開口暴露該保護層；

移除該圖案化阻劑層；

移除該開口內的該保護層；以及

以該第二介電層為罩幕，對該第一介電層進行非等向性蝕刻，形成該介層窗。

19. 如申請專利範圍第18項所述之位元線接觸窗結構的形成方法，更包含以灰化法(ashing)移除該圖案化阻劑層。

20. 如申請專利範圍第18項所述之位元線接觸窗結構的形成方法，其中對該第一介電層進行非等向性蝕刻時，該第一介電層對該閘極的蝕刻選擇比不小於30。

21. 如申請專利範圍第16項所述之位元線接觸窗結構的形成方法，其中該第一介電層包含聚亞醯胺、聚矽酸鹽、或摻氟的聚亞醯胺。

22. 如申請專利範圍第16項所述之位元線接觸窗結構的形成方法，其中該第一介電層的厚度為3,000 Å ~ 4,000 Å。

23. 如申請專利範圍第16項所述之位元線接觸窗結構



六、申請專利範圍

的形成方法，更包含形成一導電層，填充該介層窗。

24. 如申請專利範圍第23項所述之位元線接觸窗結構的形成方法，其中該導電層為摻雜的複晶矽。

25. 如申請專利範圍第23項所述之位元線接觸窗結構的形成方法，其中該導電層為鎢、鋁、或銅。

26. 如申請專利範圍第23項所述之位元線接觸窗結構的形成方法，其中該導電層的厚度為 $2,000 \text{ \AA} \sim 4,000 \text{ \AA}$ 。

27. 如申請專利範圍第17項所述之位元線接觸窗結構的形成方法，其中該保護層為SiN。

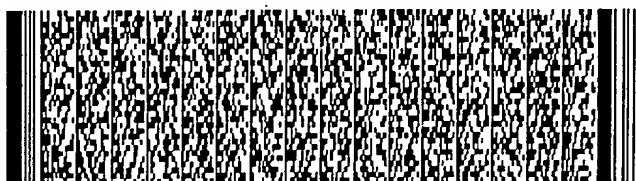
28. 如申請專利範圍第17項所述之位元線接觸窗結構的形成方法，其中該保護層的厚度為 $100 \text{ \AA} \sim 300 \text{ \AA}$ 。

29. 如申請專利範圍第17項所述之位元線接觸窗結構的形成方法，其中該第二介電層包含至少以四乙烷基氧矽甲烷(tetra ethoxysilane ; TEOS)為前驅物，所形成的一氧化物層。

30. 如申請專利範圍第17項所述之位元線接觸窗結構的形成方法，其中該第二介電層的形成厚度為 $3,000 \text{ \AA} \sim 6,000 \text{ \AA}$ 。

31. 如申請專利範圍第17項所述之位元線接觸窗結構的形成方法，其中平坦化該第二介電層，係使用化學機械研磨法，將該第二介電層移除 $2,000 \text{ \AA} \sim 3,000 \text{ \AA}$ 的厚度。

32. 如申請專利範圍第16項所述之位元線接觸窗結構的形成方法，其中該閘極更包含一閘極間隙壁於該閘極的



六、申請專利範圍

側壁。

33. 如申請專利範圍第32項所述之位元線接觸窗結構的形成方法，其中該閘極間隙壁為SiN。

34. 一種位元線接觸窗結構，包含：

一基底，具有一電晶體形成於該基底上，該電晶體包含一閘極、一汲極區、與一源極區；

一毯覆性的複合介電層，依序至少為一第一介電層、一保護層、與一第二介電層，形成於該電晶體上，其中該第一介電層為一旋塗式材料，該複合介電層並具有一開口，暴露該汲極區；以及

一導電層，填充於該開口內。

35. 如申請專利範圍第34項所述之位元線接觸窗結構，其中該第一介電層包含聚亞醯胺、聚矽酸鹽、或摻氣的聚亞醯胺。

36. 如申請專利範圍第34項所述之位元線接觸窗結構，其中該第一介電層的厚度為 $3,000 \text{ \AA} \sim 4,000 \text{ \AA}$ 。

37. 如申請專利範圍第34項所述之位元線接觸窗結構，其中該保護層為SiN。

38. 如申請專利範圍第34項所述之位元線接觸窗結構，其中該保護層的厚度為 $100 \text{ \AA} \sim 300 \text{ \AA}$ 。

39. 如申請專利範圍第34項所述之位元線接觸窗結構，其中該第二介電層包含一氧化物層。

40. 如申請專利範圍第34項所述之位元線接觸窗結構，其中該第二介電層的厚度為 $1,000 \text{ \AA} \sim 3,000 \text{ \AA}$ 。



六、申請專利範圍

41. 如申請專利範圍第34項所述之位元線接觸窗結構，其中該導電層為摻雜的複晶矽。

42. 如申請專利範圍第34項所述之位元線接觸窗結構，其中該導電層為鎢、鋁、或銅。

43. 如申請專利範圍第34項所述之位元線接觸窗結構，其中該導電層的厚度為 $2,000 \text{ \AA} \sim 4,0000 \text{ \AA}$ 。

44. 一種位元線接觸窗結構的形成方法，包括下列步驟：

提供一基底，具有一電晶體形成於該基底上，該電晶體包含一閘極、一汲極區、與一源極區；

以旋轉塗佈法，毯覆性地形成一第一介電層於該電晶體上；

順應性地形成一保護層，覆蓋該第一介電層；

毯覆性地形成一第二介電層於該保護層上；

平坦化該第二介電層；

形成一圖案化阻劑層於該第二介電層上；

以該圖案化阻劑層為罩幕，對該第二介電層進行非等向性蝕刻，形成一開口暴露該保護層；

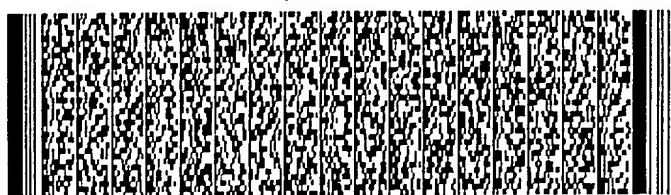
移除該圖案化阻劑層；

移除該開口內的該保護層；以及

以該第二介電層為罩幕，對該第一介電層進行非等向性蝕刻，形成一介層窗暴露該汲極區；以及

形成一導電層，填充該介層窗。

45. 如申請專利範圍第44項所述之位元線接觸窗結構



六、申請專利範圍

的形成方法，更包含以灰化法(ashing)移除該圖案化阻層。

46. 如申請專利範圍第44項所述之位元線接觸窗結構的形成方法，其中該第一介電層包含聚亞醯胺、聚矽酸鹽、或摻氟的聚亞醯胺。

47. 如申請專利範圍第44項所述之位元線接觸窗結構的形成方法，其中該第一介電層的厚度為 $3,000 \text{ \AA} \sim 4,000 \text{ \AA}$ 。

48. 如申請專利範圍第44項所述之位元線接觸窗結構的形成方法，其中該導電層為摻雜的複晶矽。

49. 如申請專利範圍第44項所述之位元線接觸窗結構的形成方法，其中該導電層為鎢、鋁、或銅。

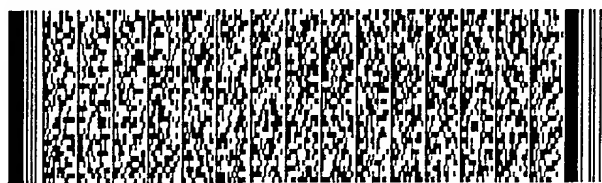
50. 如申請專利範圍第44項所述之位元線接觸窗結構的形成方法，其中該導電層的厚度為 $2,000 \text{ \AA} \sim 4,000 \text{ \AA}$ 。

51. 如申請專利範圍第44項所述之位元線接觸窗結構的形成方法，其中該保護層為SiN。

52. 如申請專利範圍第44項所述之位元線接觸窗結構的形成方法，其中該保護層的厚度為 $100 \text{ \AA} \sim 300 \text{ \AA}$ 。

53. 如申請專利範圍第44項所述之位元線接觸窗結構的形成方法，其中該第二介電層包含至少以四乙烷基氧矽甲烷(tetra ethoxysilane ; TEOS)為前驅物，所形成的一氧化物層。

54. 如申請專利範圍第44項所述之位元線接觸窗結構



六、申請專利範圍

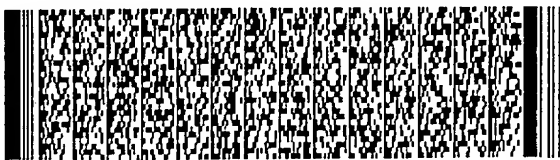
的形成方法，其中該第二介電層的形成厚度為 $3,000 \text{ \AA} \sim 6,000 \text{ \AA}$ 。

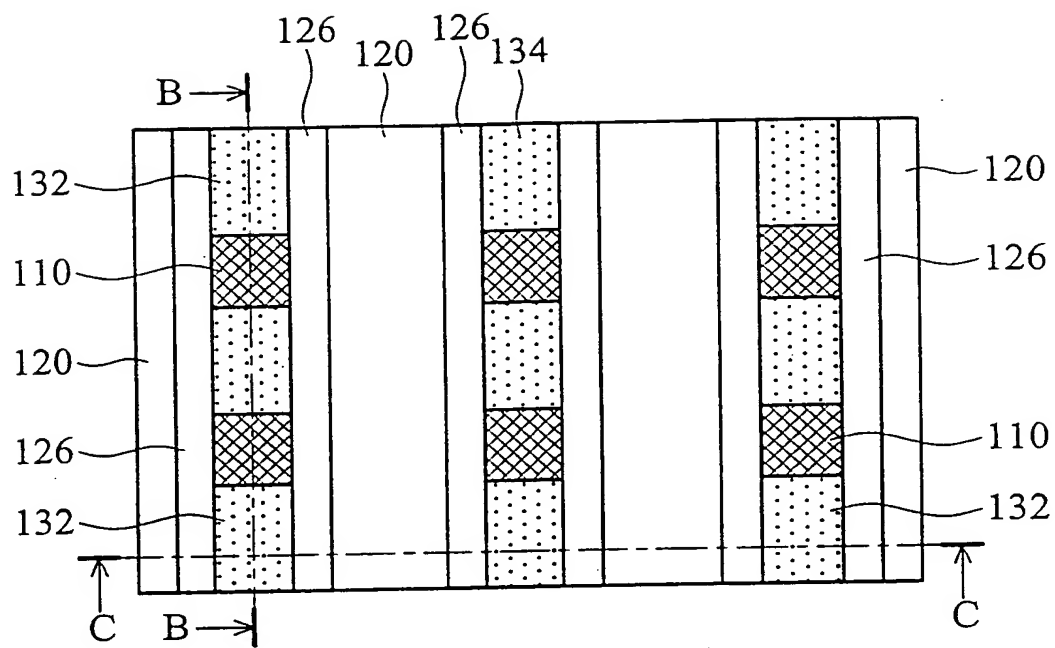
55. 如申請專利範圍第44項所述之位元線接觸窗結構的形成方法，其中平坦化該第二介電層，係使用化學機械研磨法，將該第二介電層移除 $2,000 \text{ \AA} \sim 3,000 \text{ \AA}$ 的厚度。

56. 如申請專利範圍第44項所述之位元線接觸窗結構的形成方法，其中，其中對該第一介電層進行非等向性蝕刻時，該第一介電層對該閘極的蝕刻選擇比不小於30。

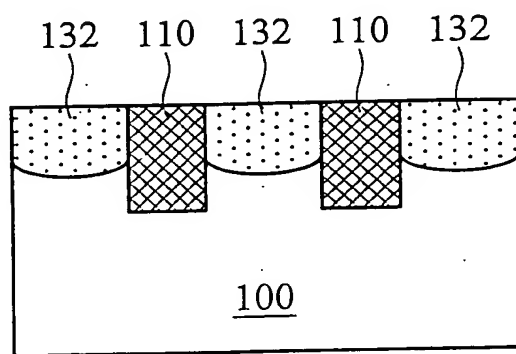
57. 如申請專利範圍第44項所述之位元線接觸窗結構的形成方法，其中該閘極更包含一閘極間隙壁於該閘極的側壁。

58. 如申請專利範圍第57項所述之位元線接觸窗結構的形成方法，其中該閘極間隙壁為SiN。

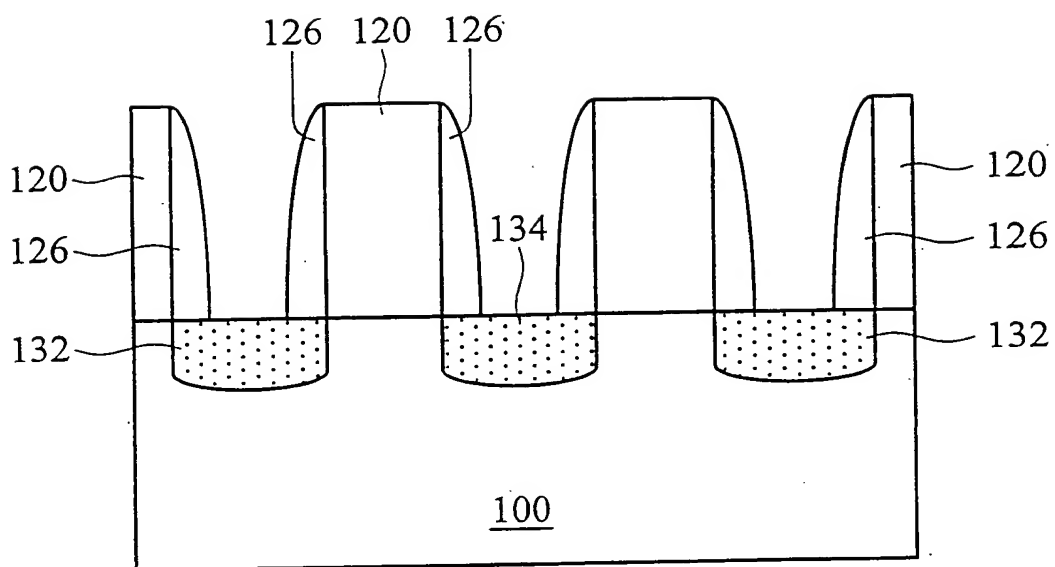




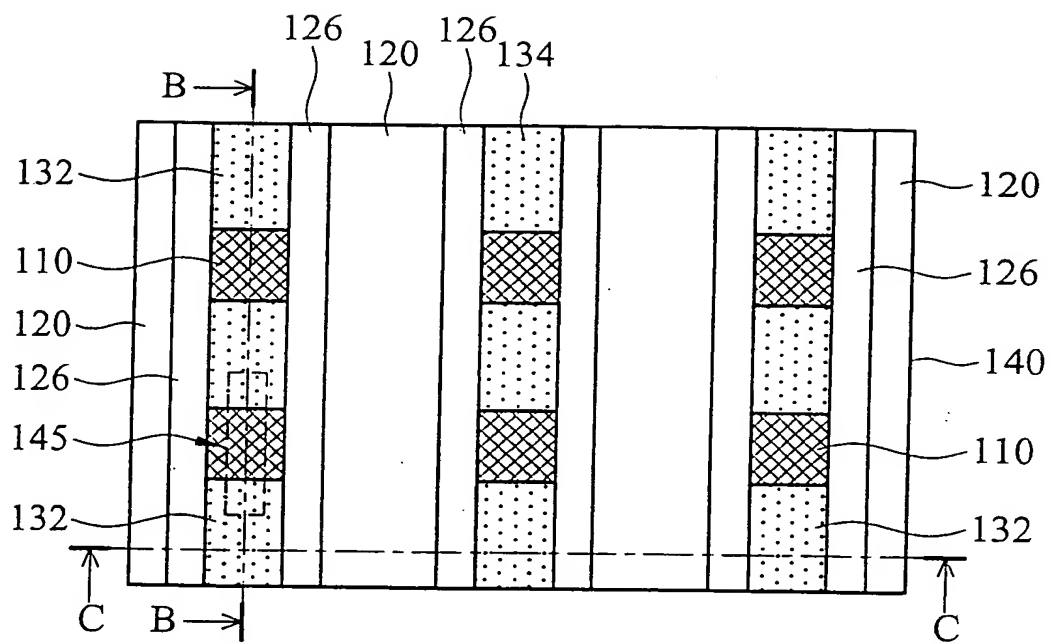
第 1A 圖



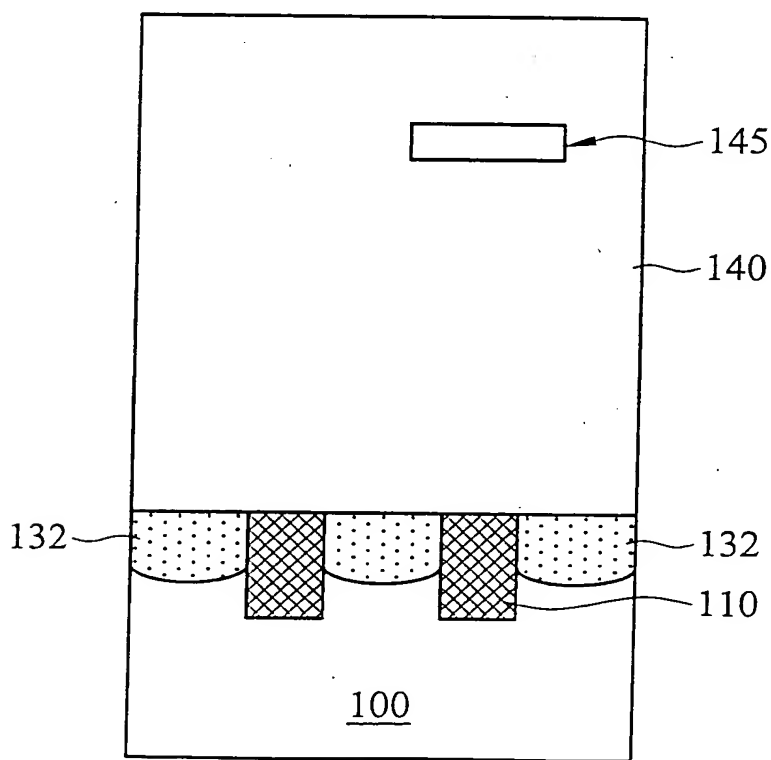
第 1B 圖



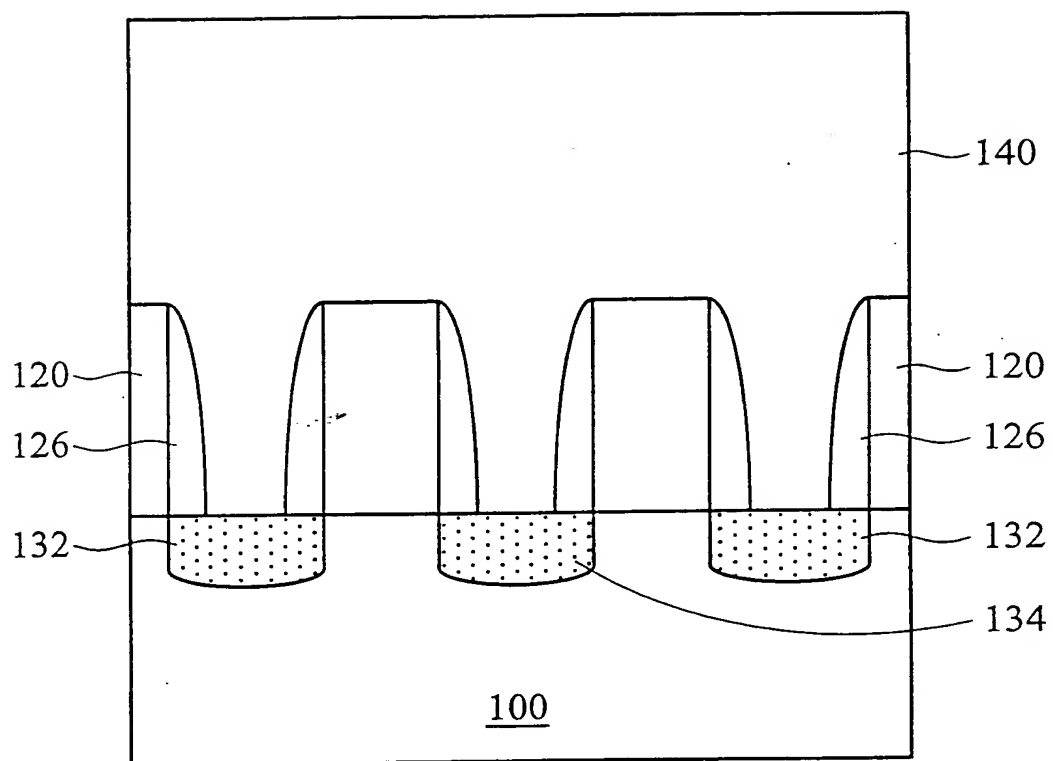
第 1C 圖



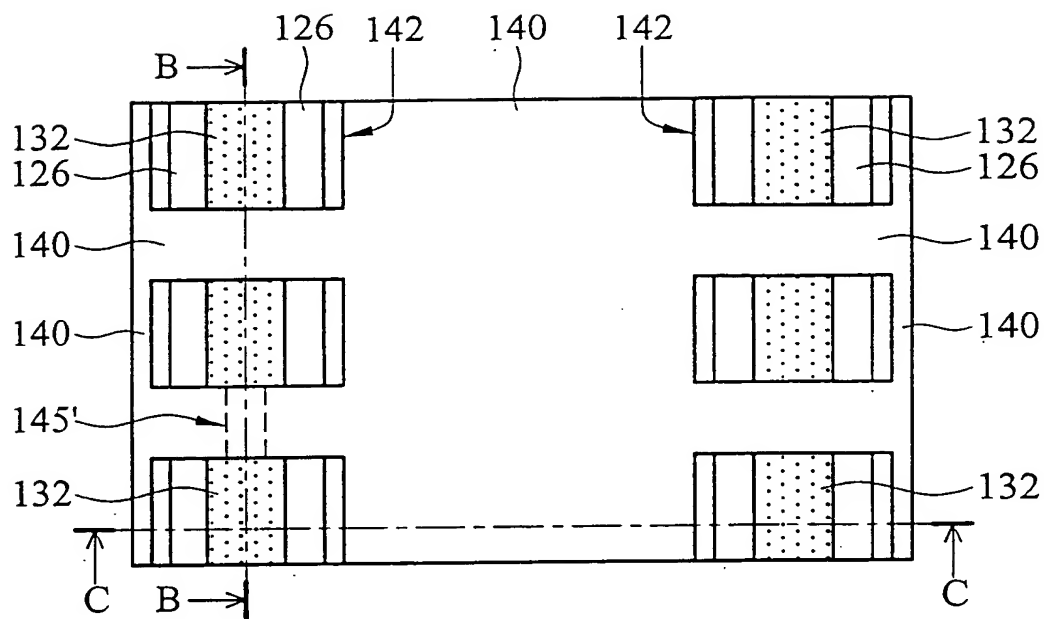
第2A圖



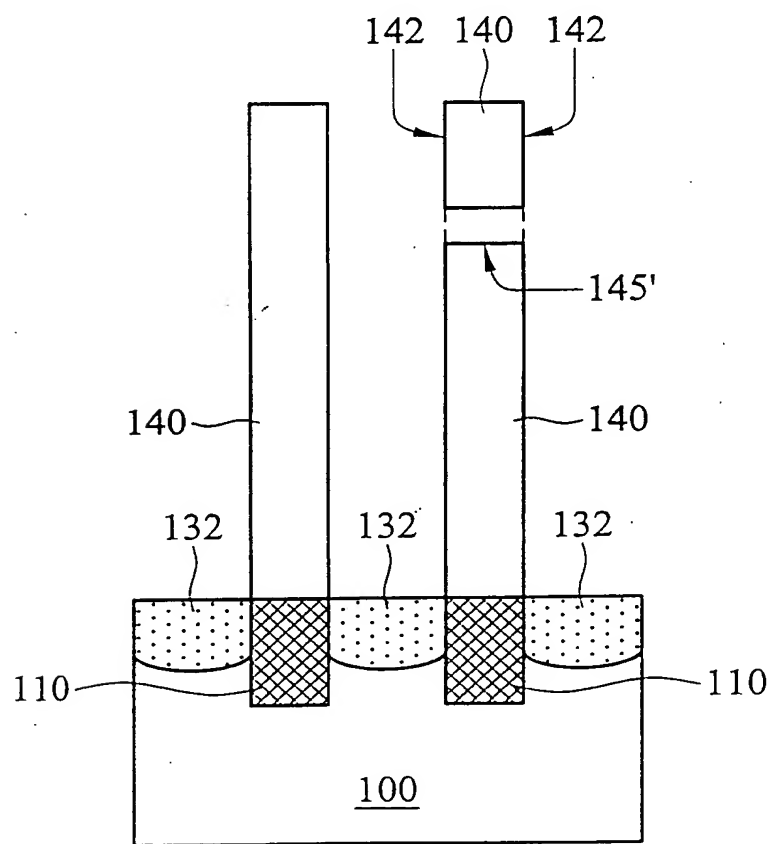
第2B圖



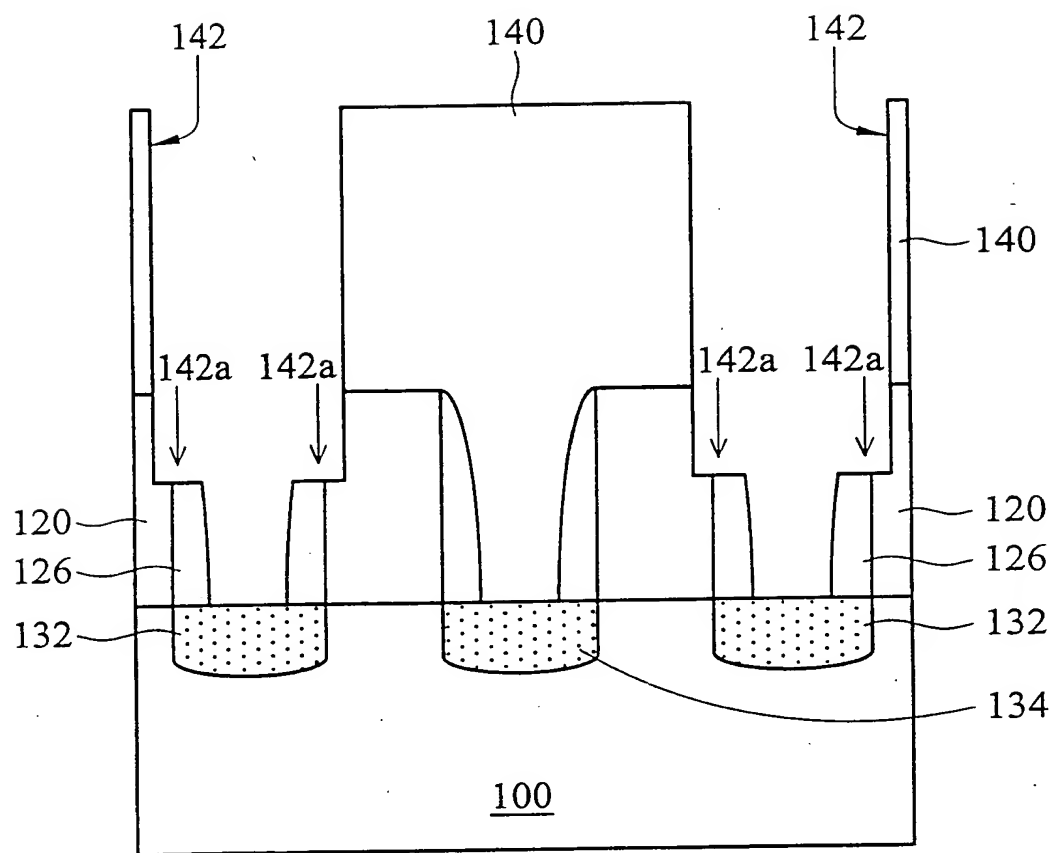
第 2C 圖



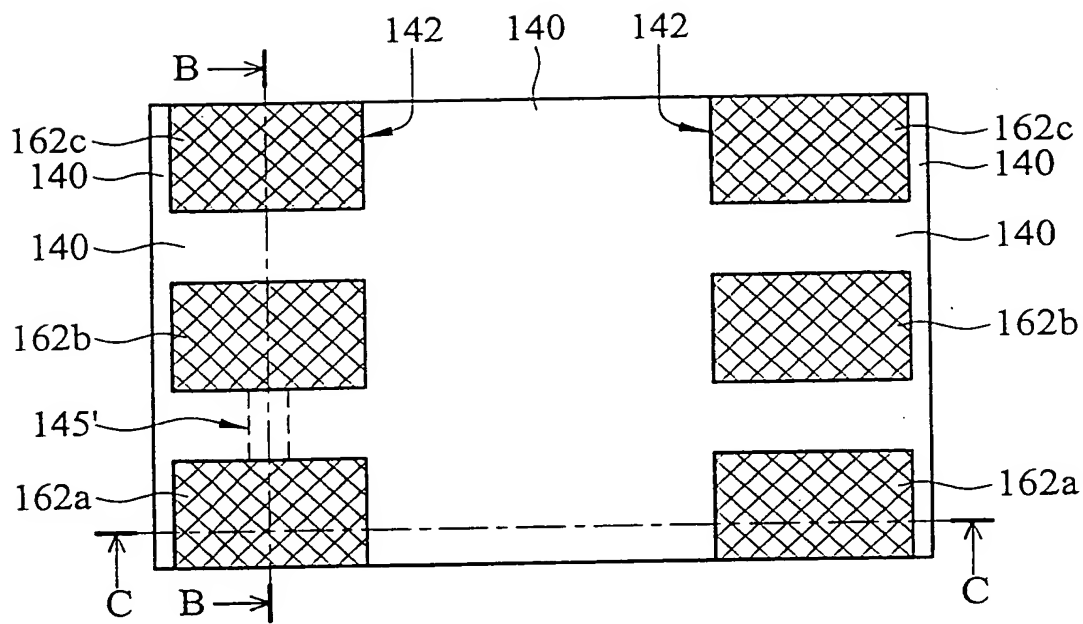
第3A圖



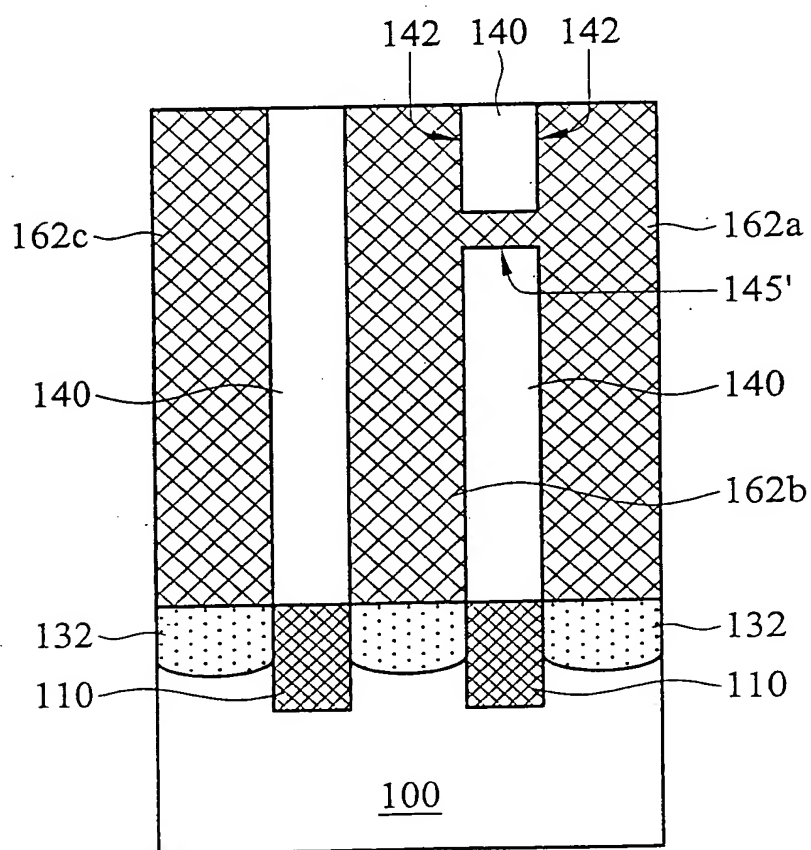
第3B圖



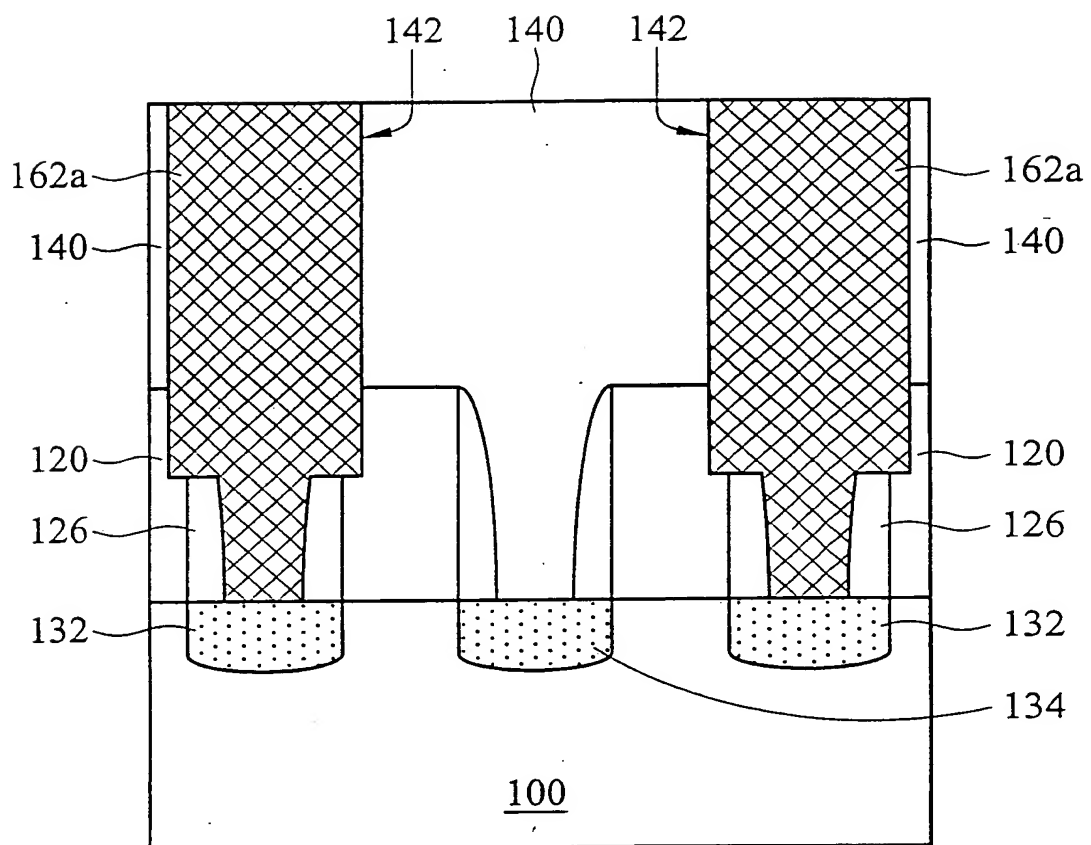
第3C圖



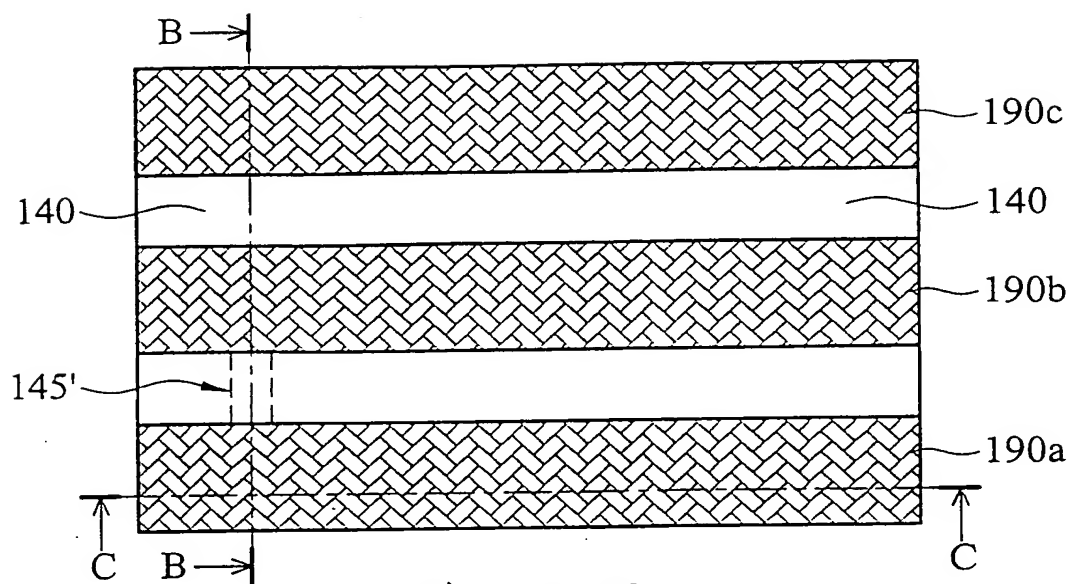
第4A圖



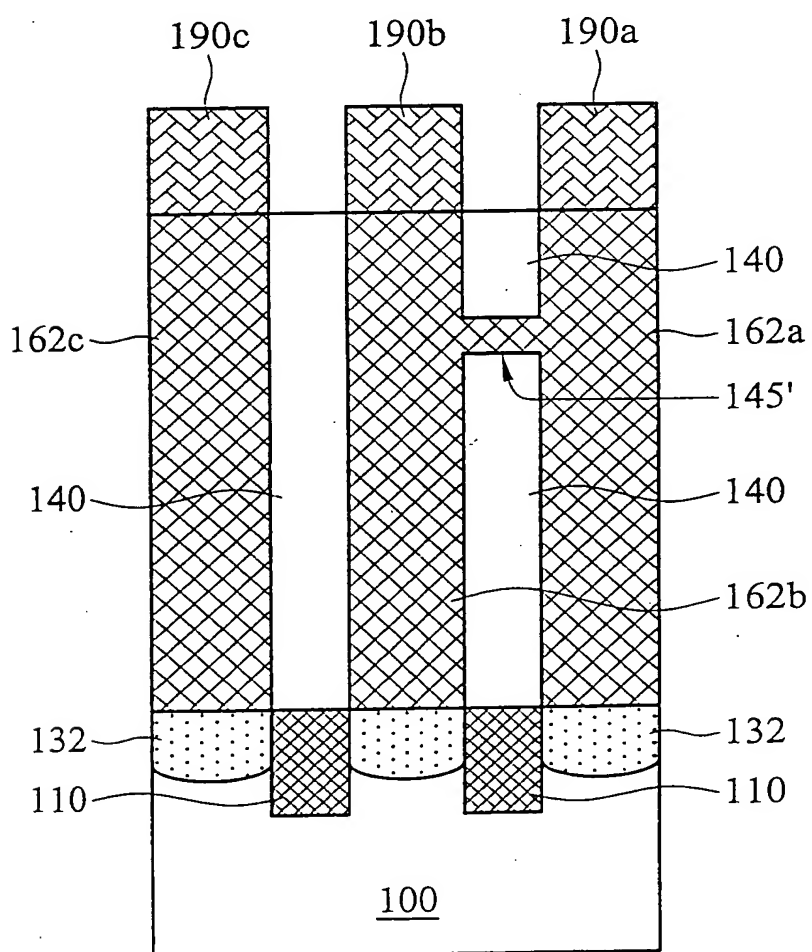
第4B圖



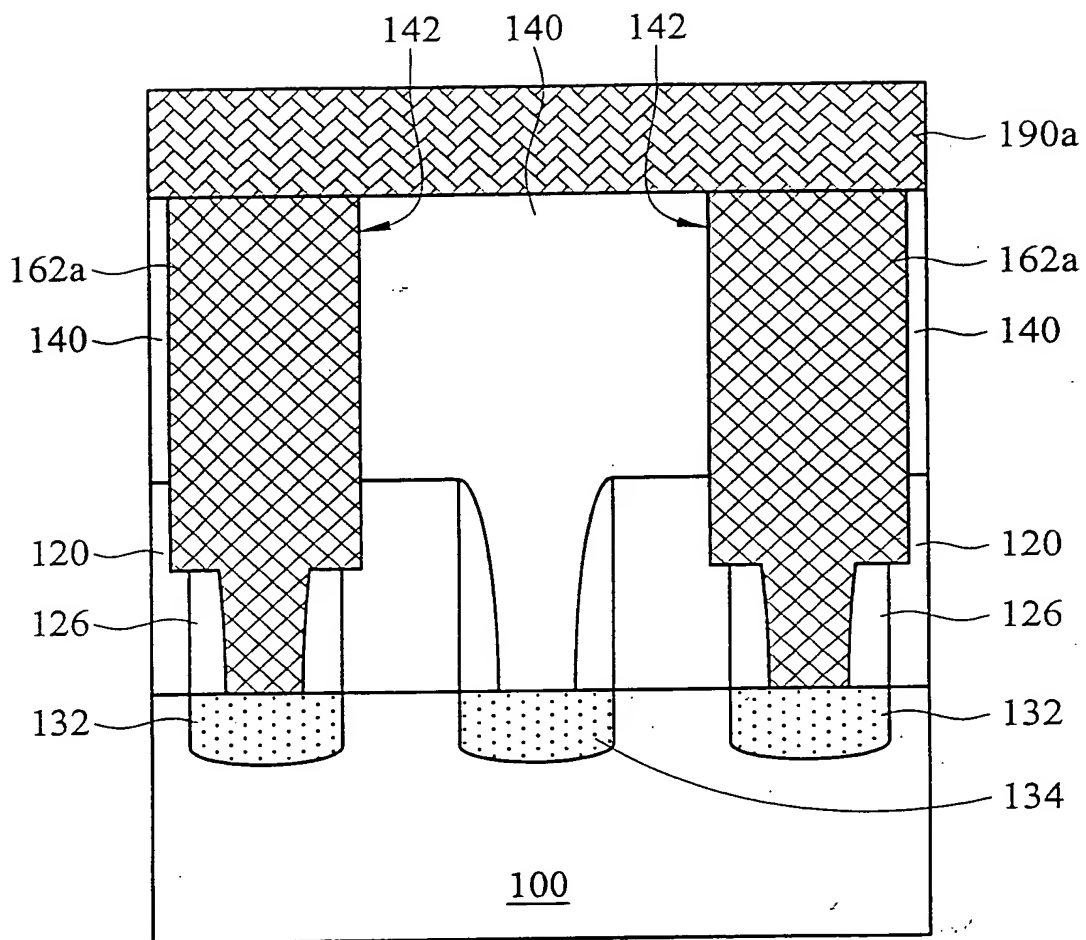
第4C圖



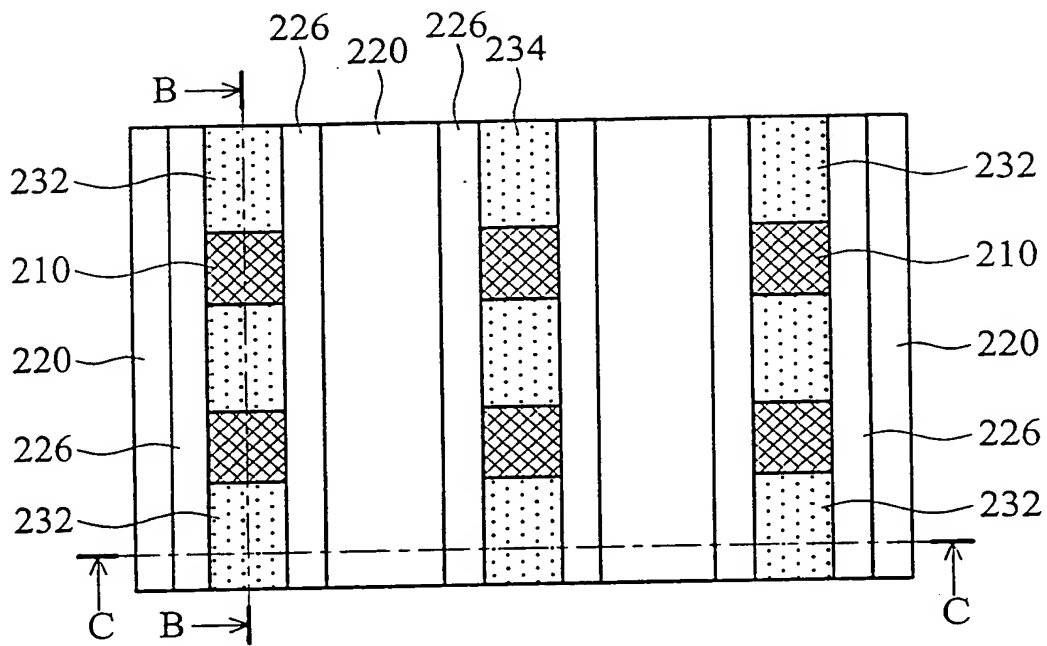
第5A圖



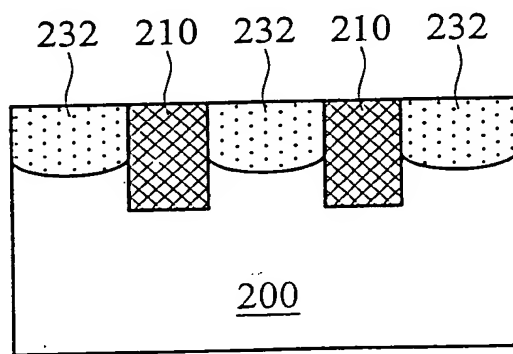
第5B圖



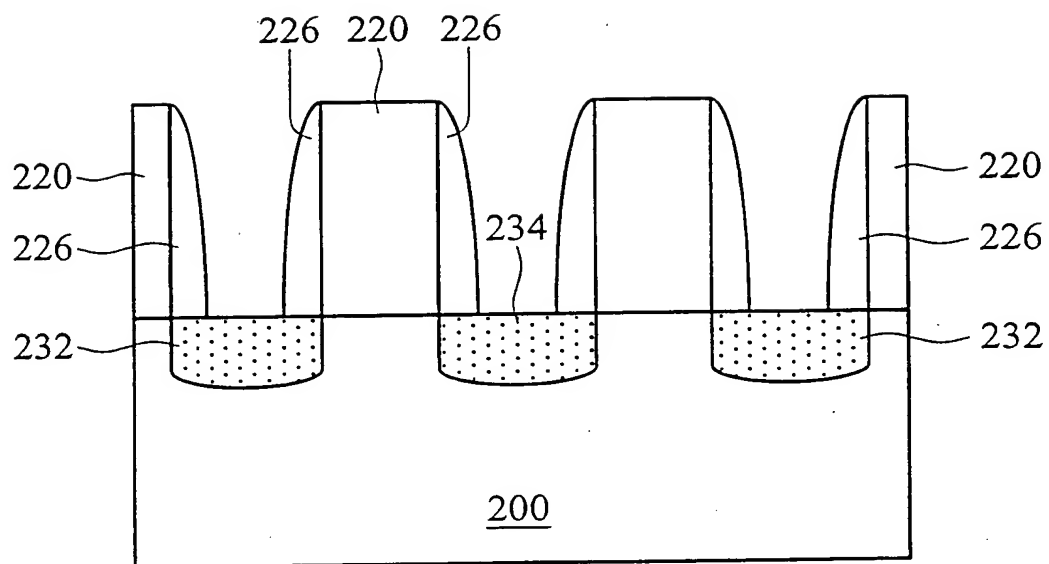
第 5C 圖



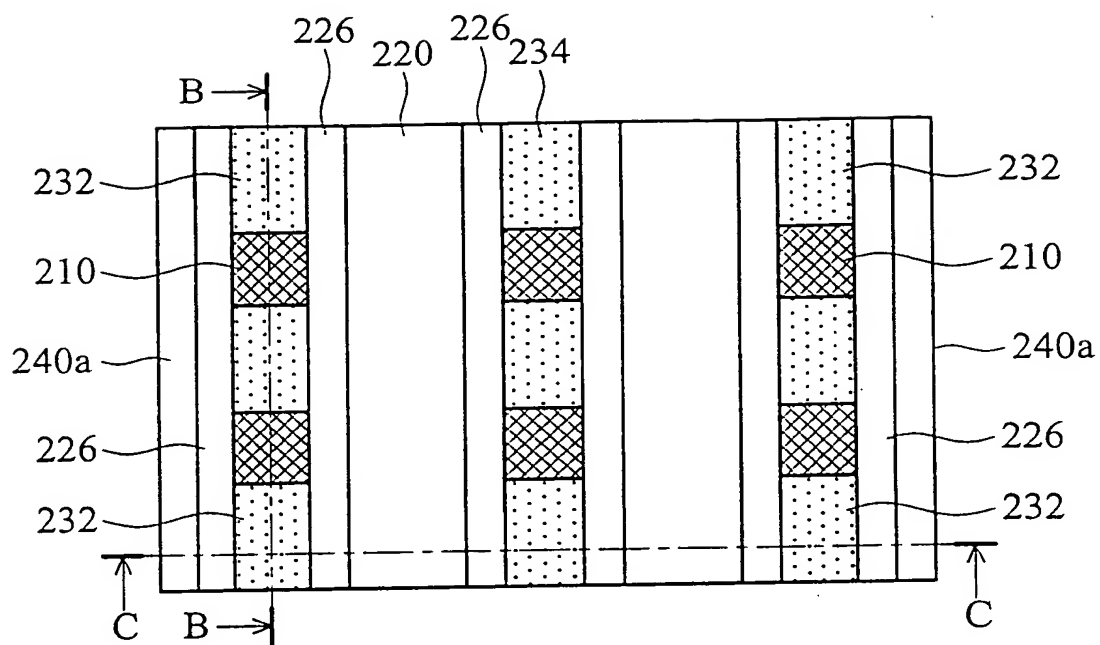
第 6A 圖



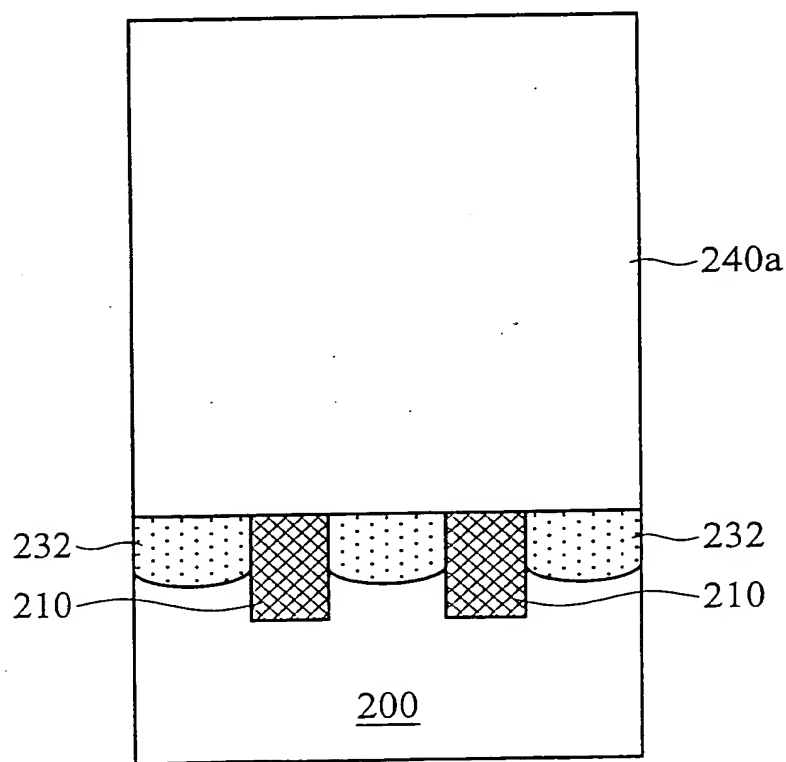
第 6B 圖



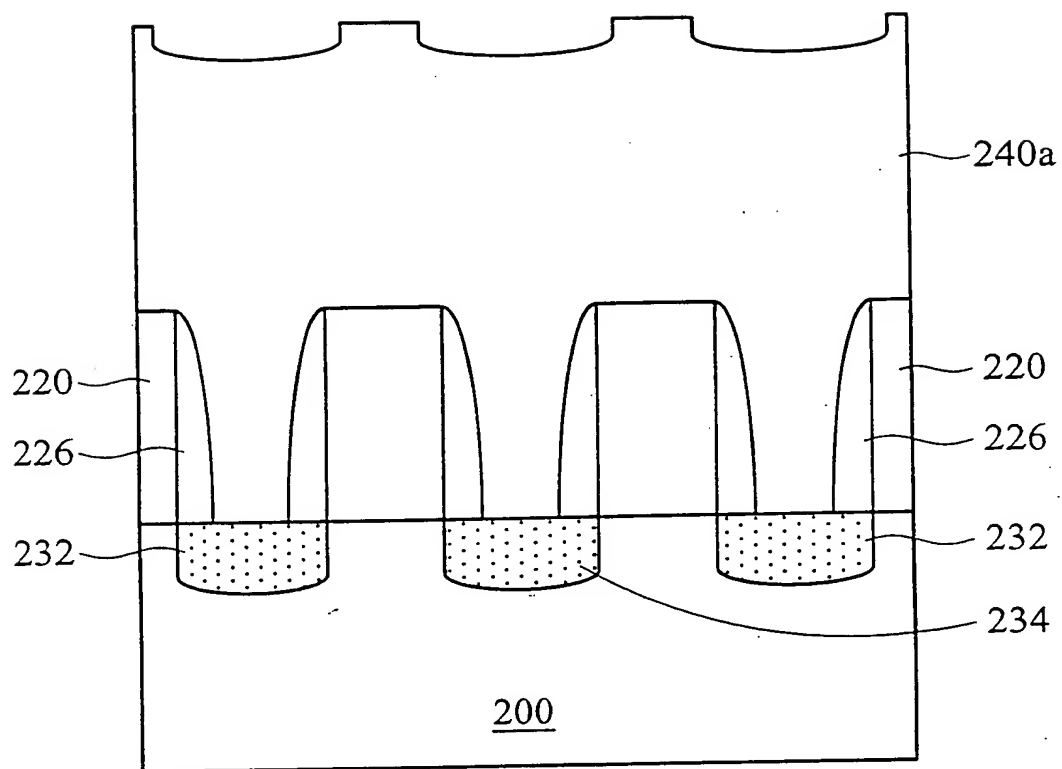
第 6C 圖



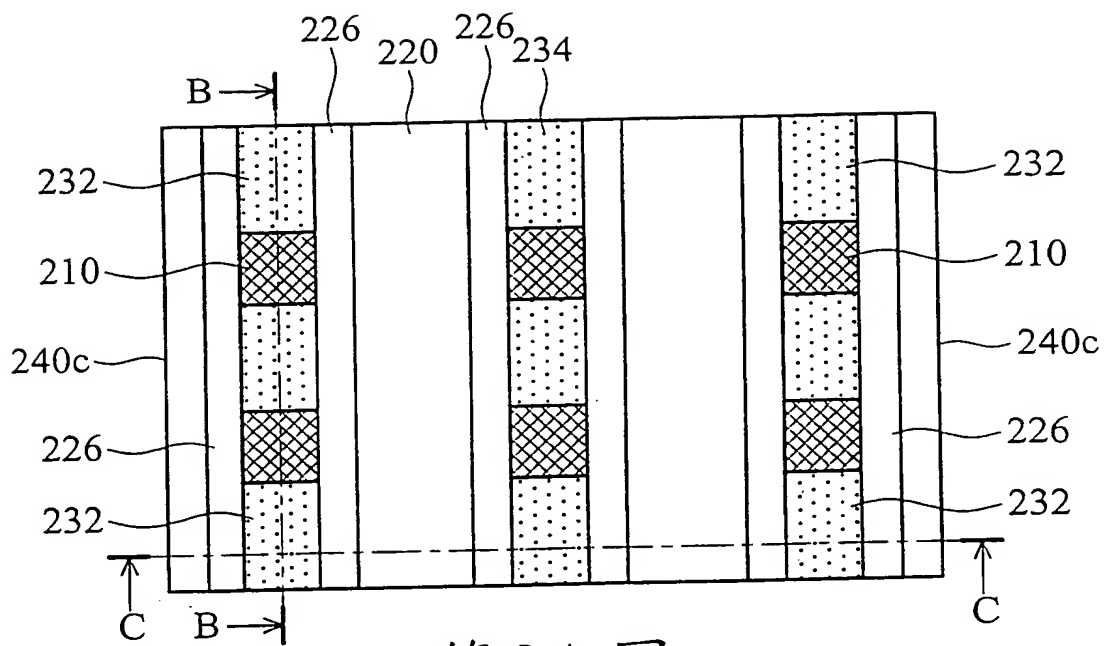
第7A圖



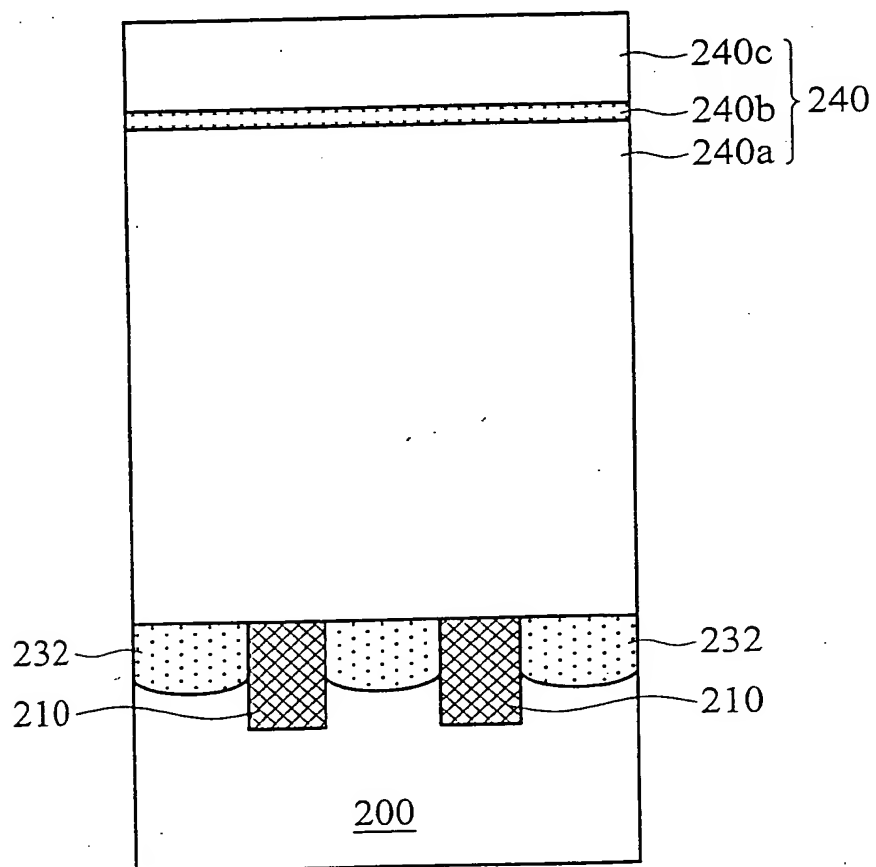
第7B圖



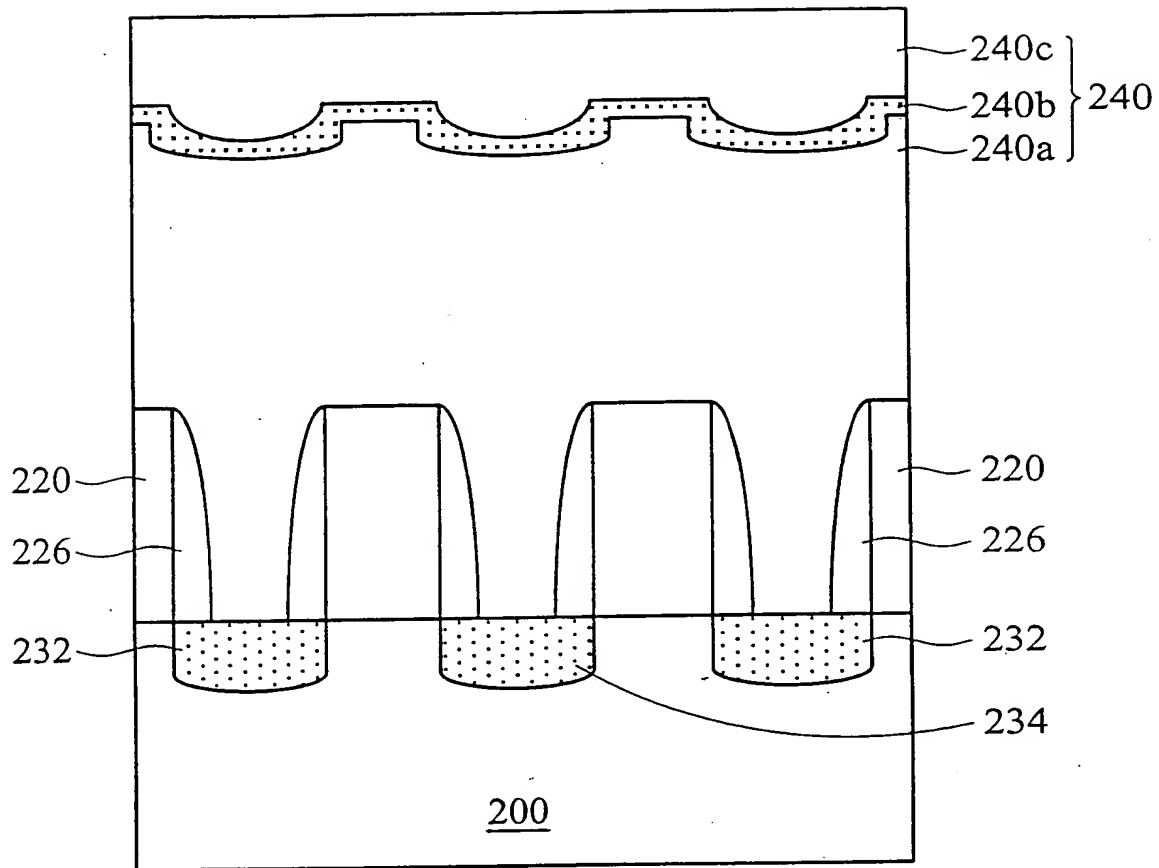
第 7C 圖



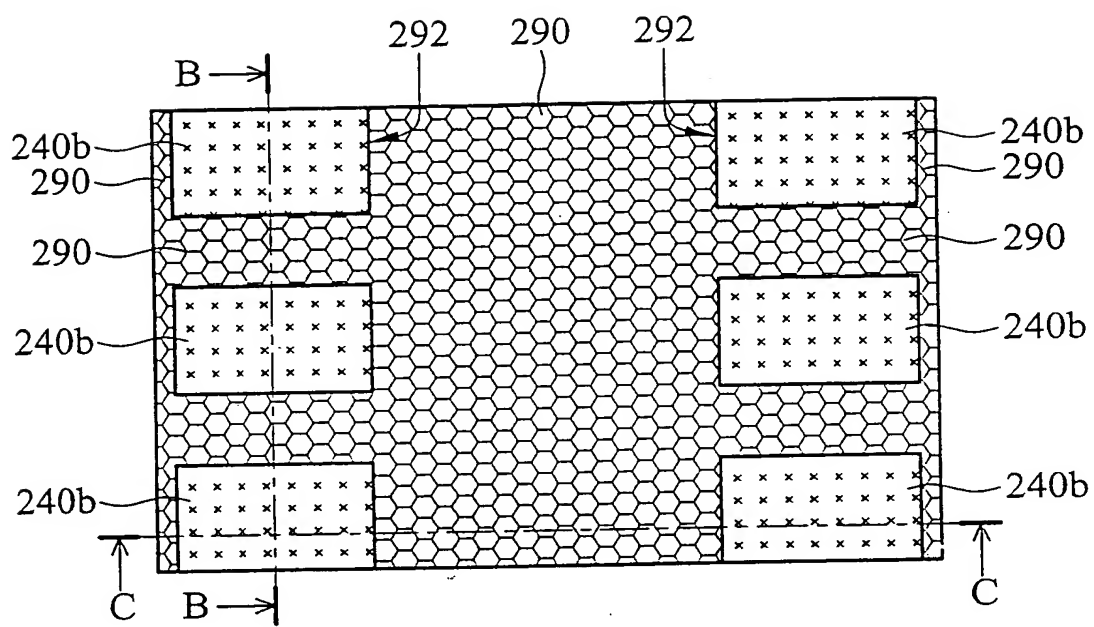
第8A圖



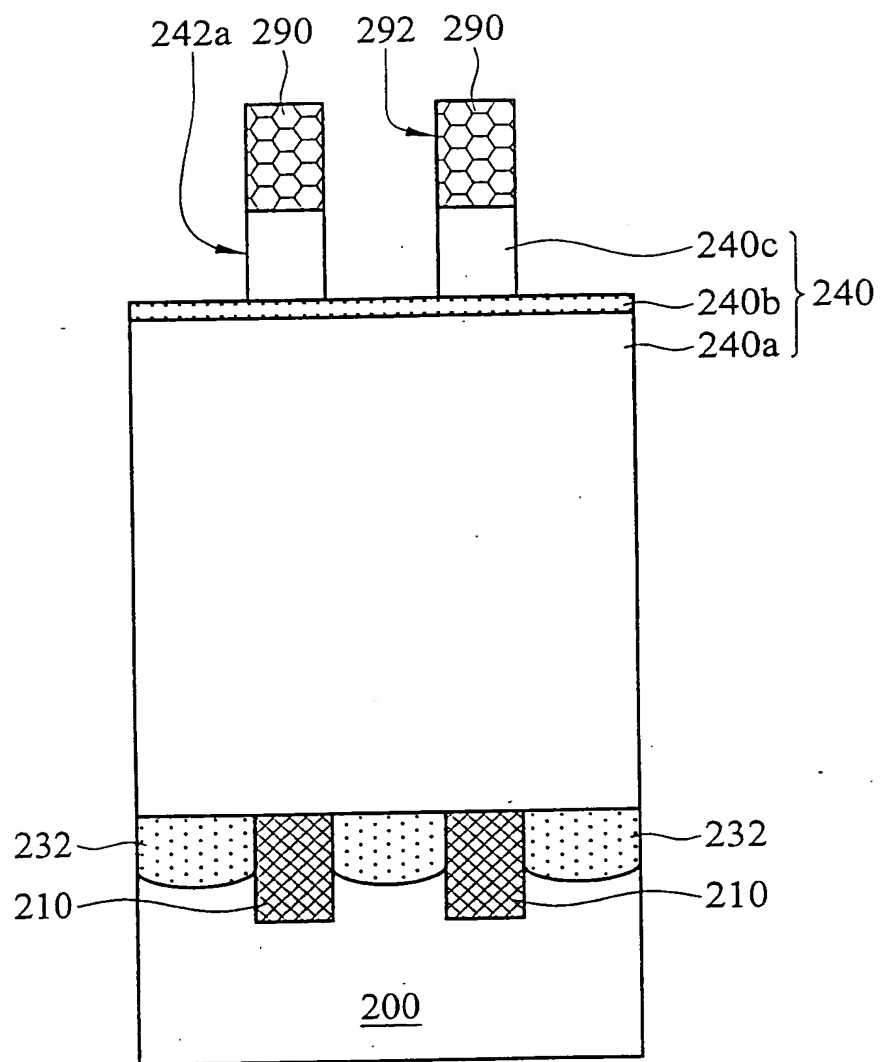
第8B圖



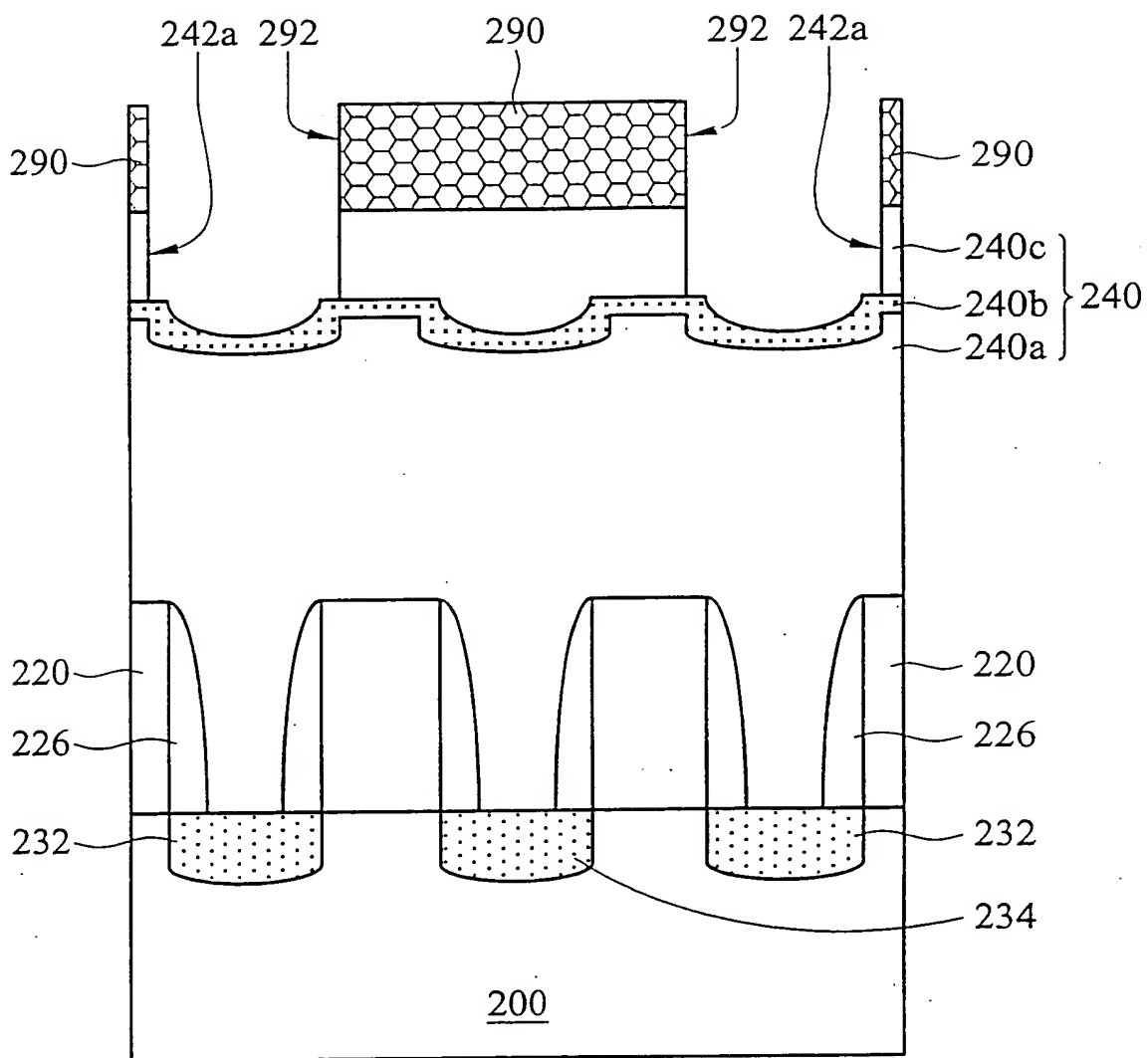
第 8C 圖



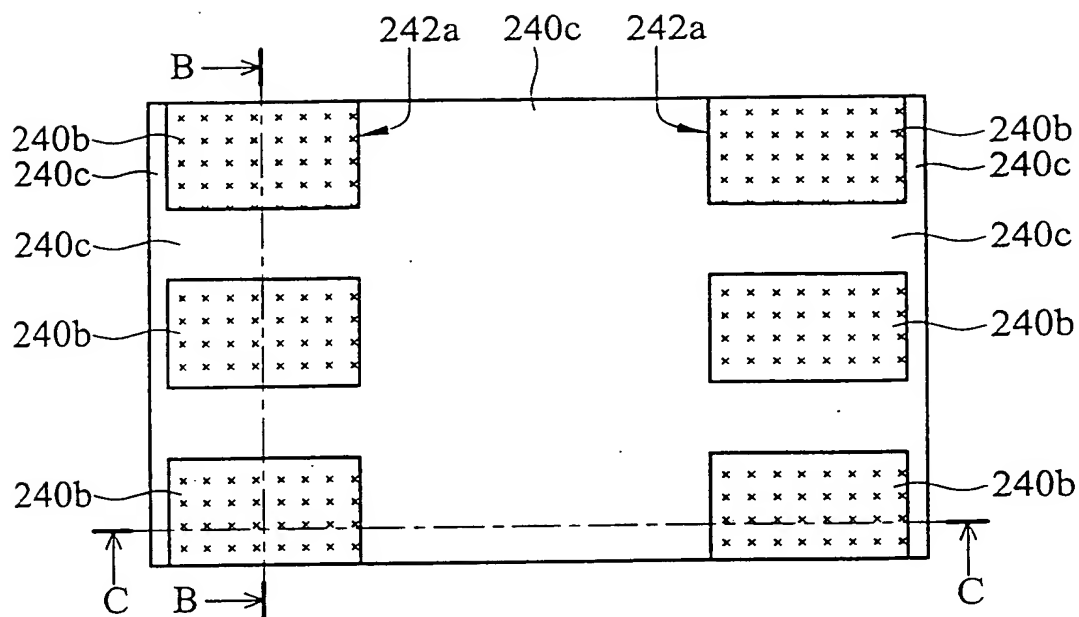
第9A圖



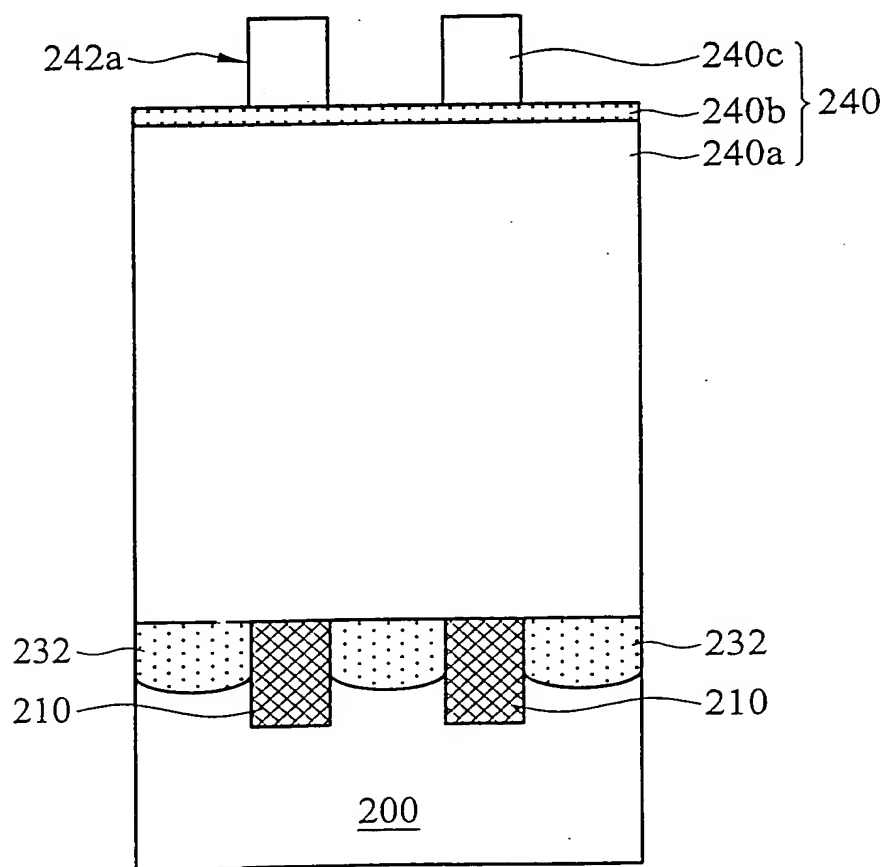
第9B圖



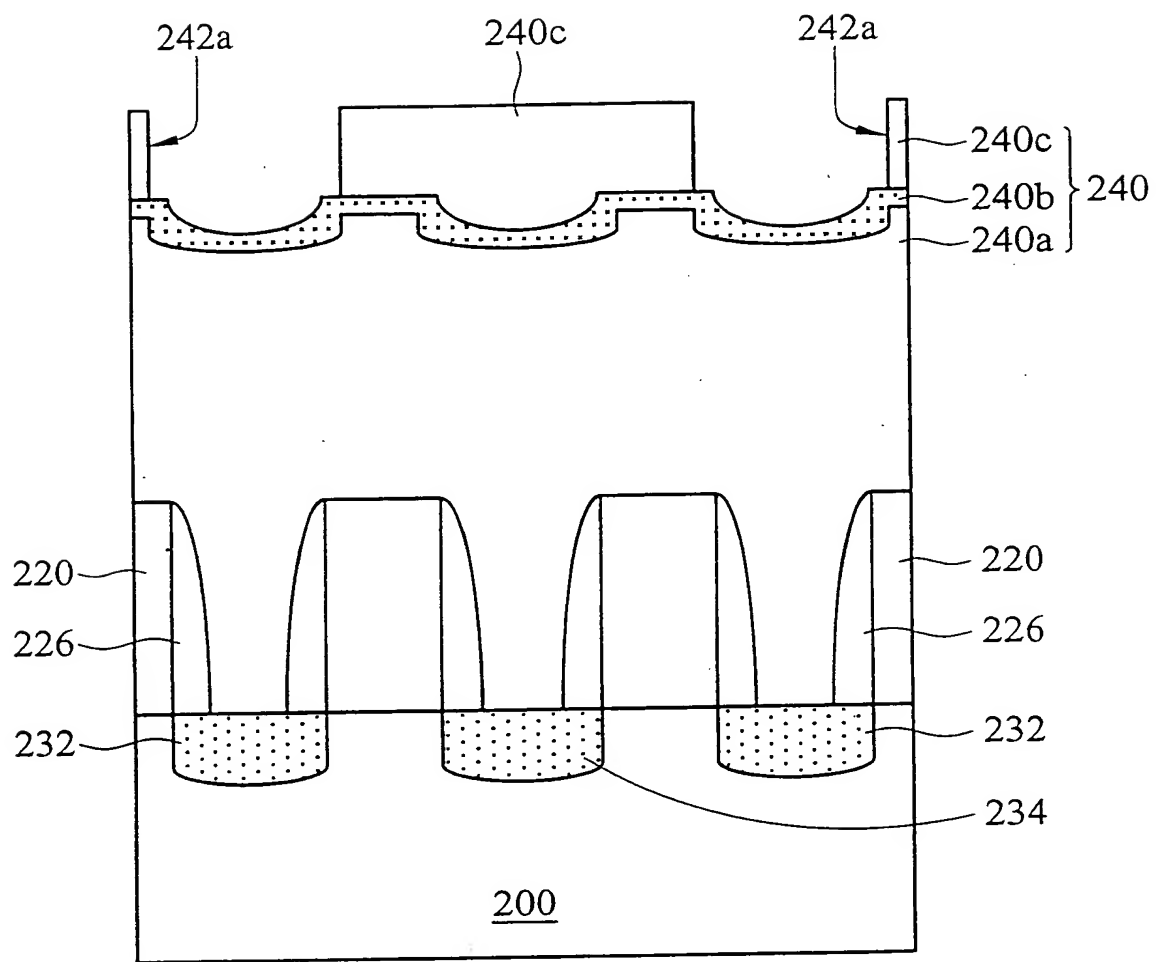
第9C圖



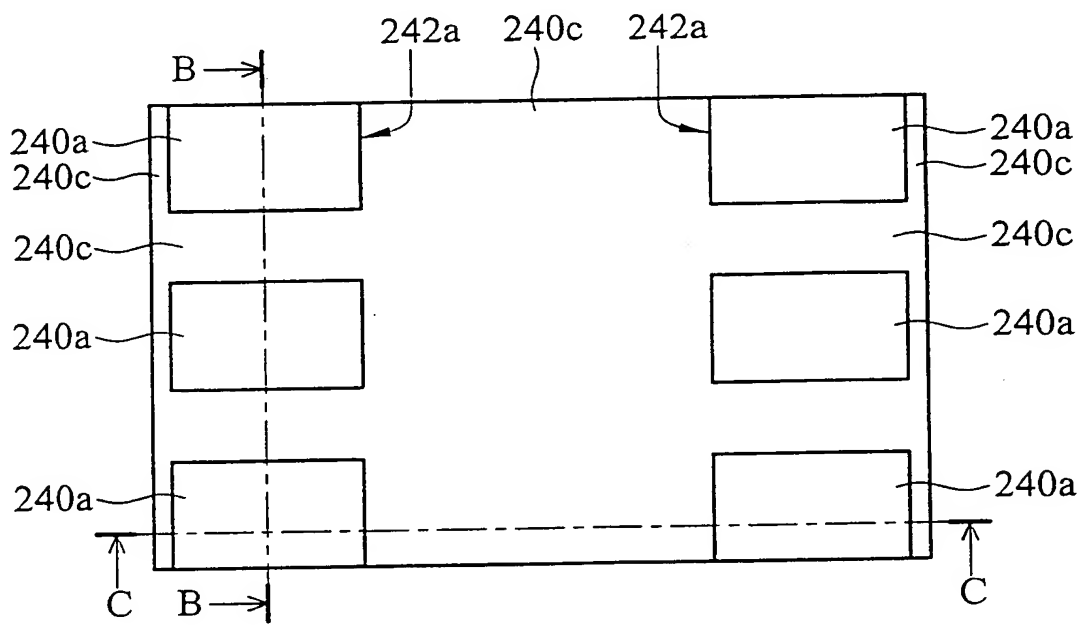
第 10A 圖



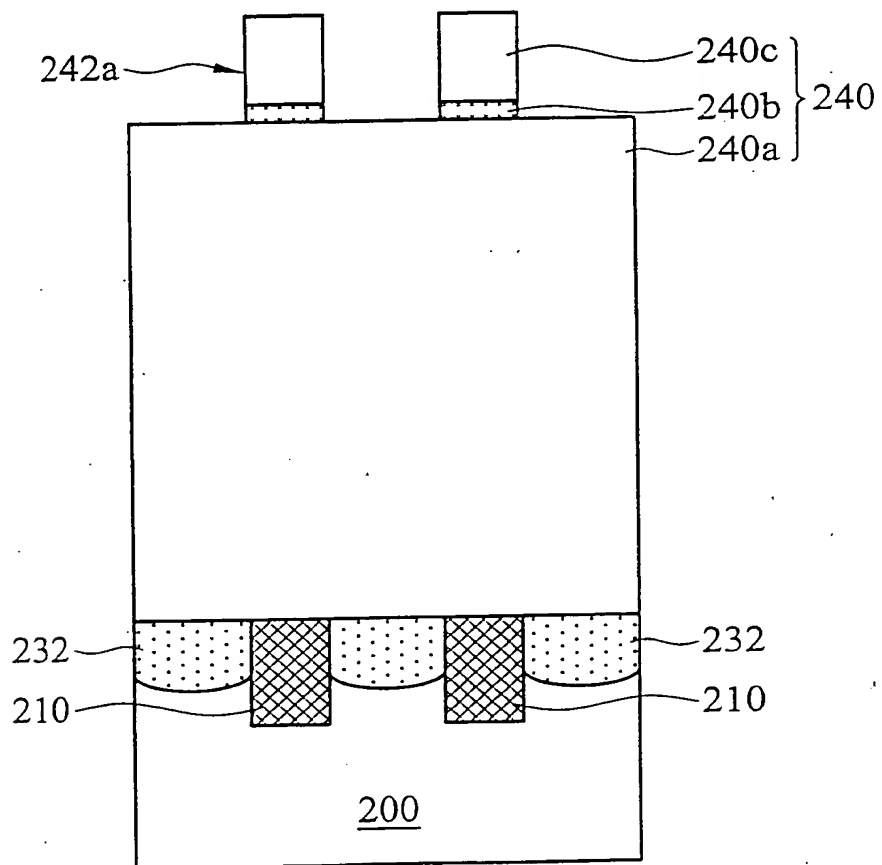
第 10B 圖



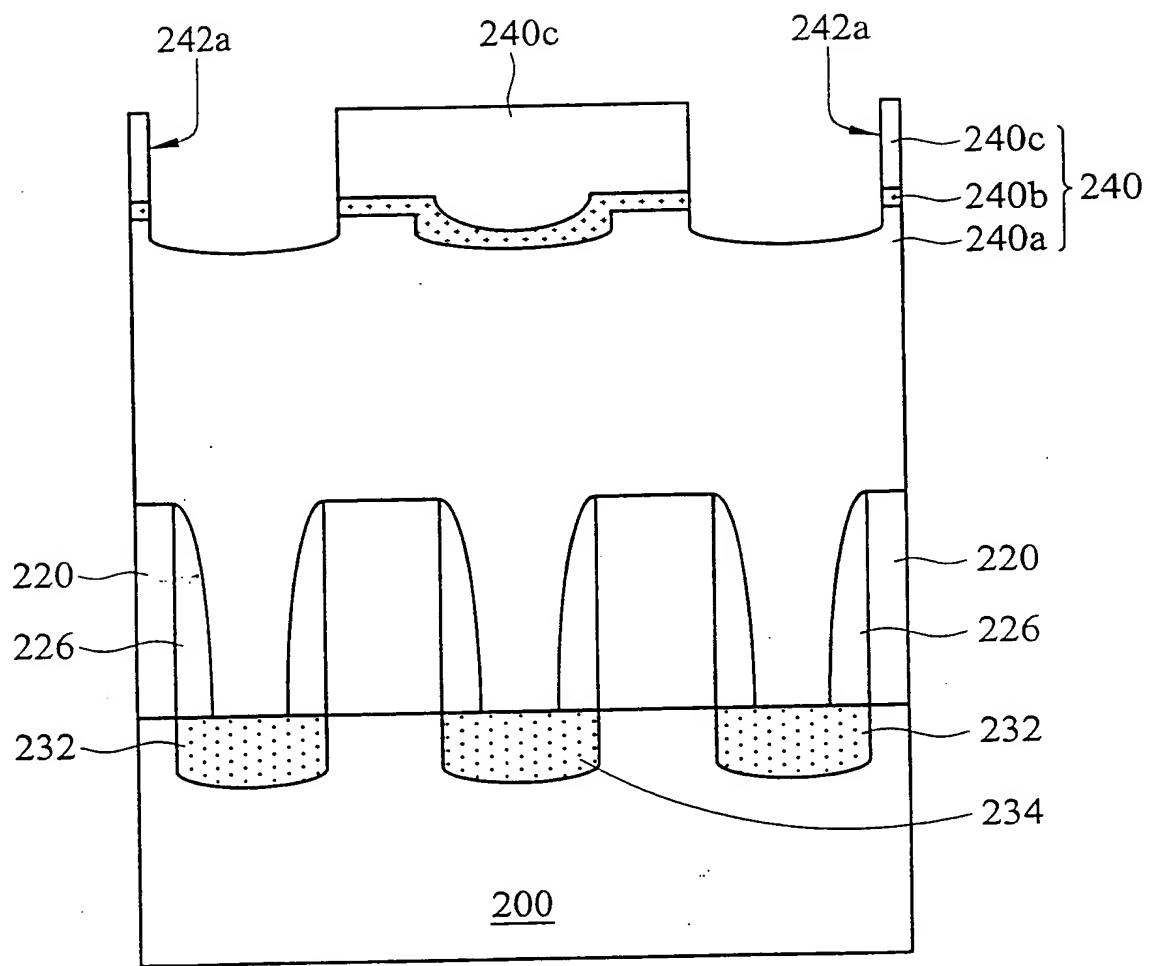
第 10C 圖



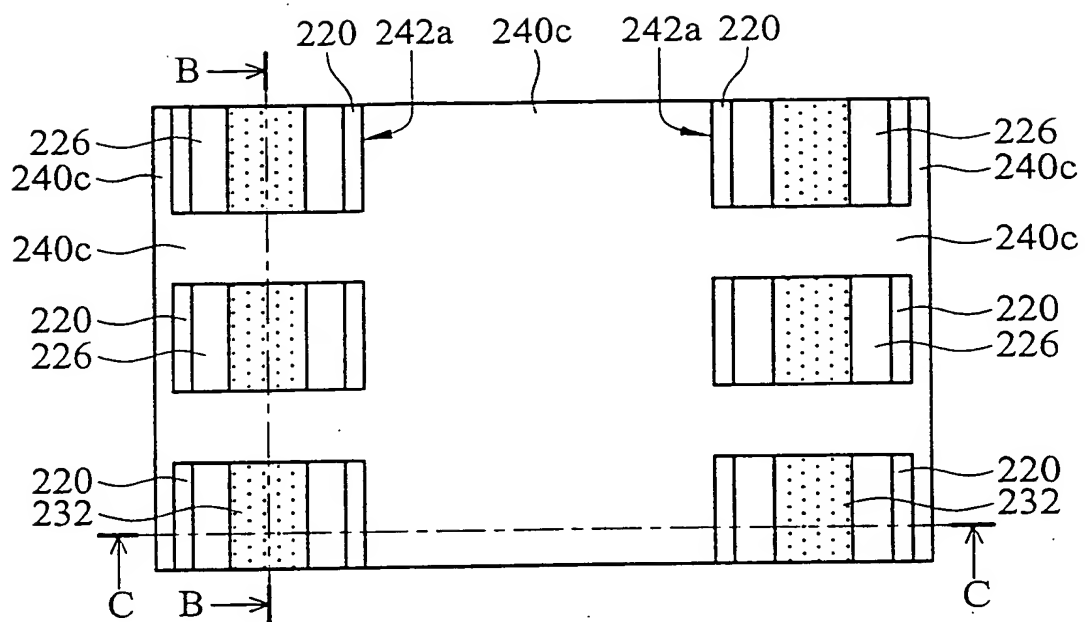
第 11A 圖



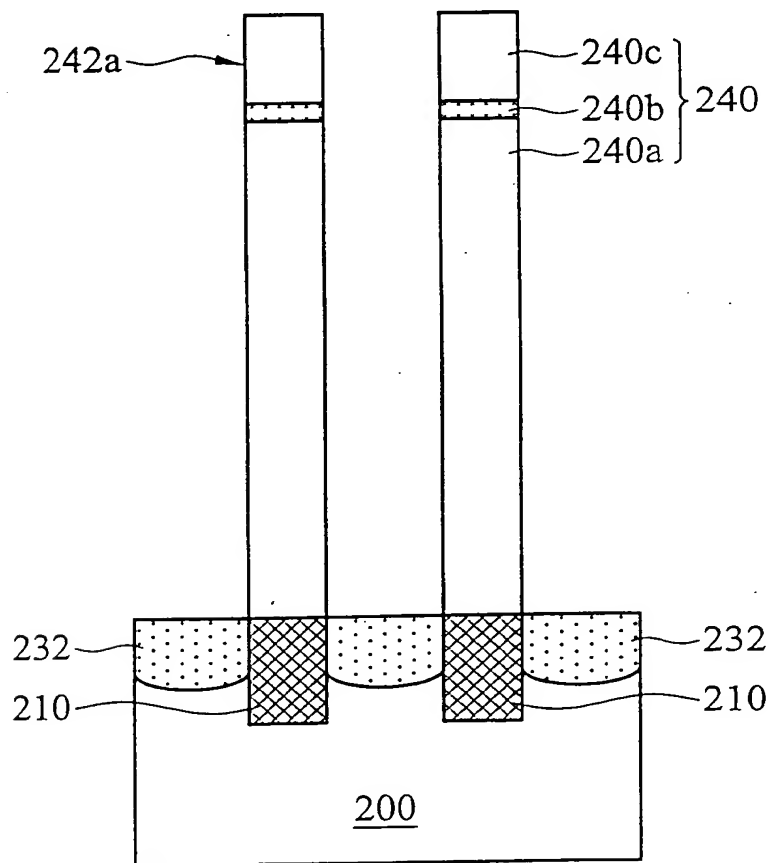
第 11B 圖



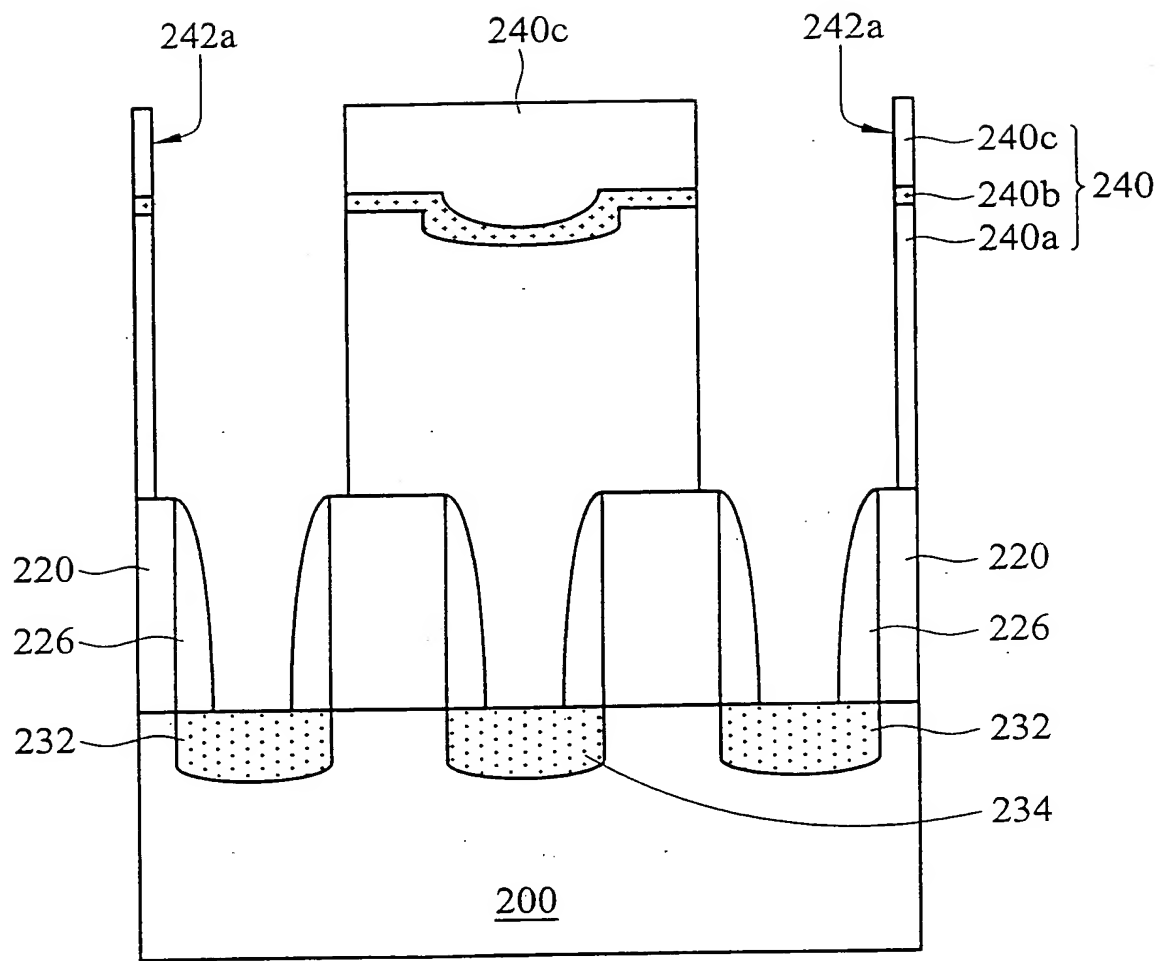
第 11C 圖



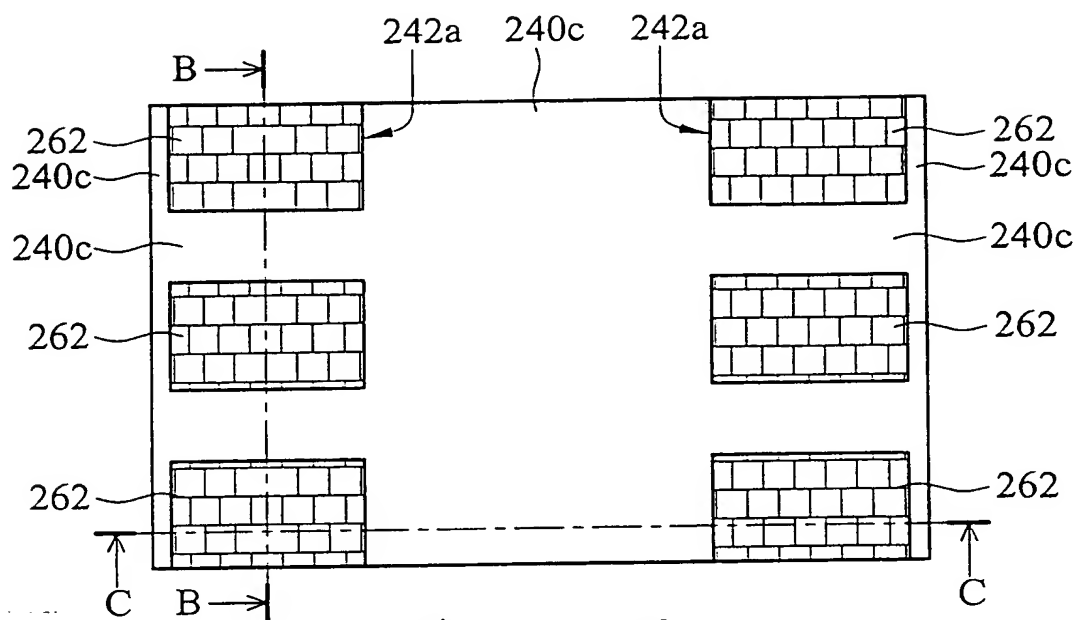
第 12A 圖



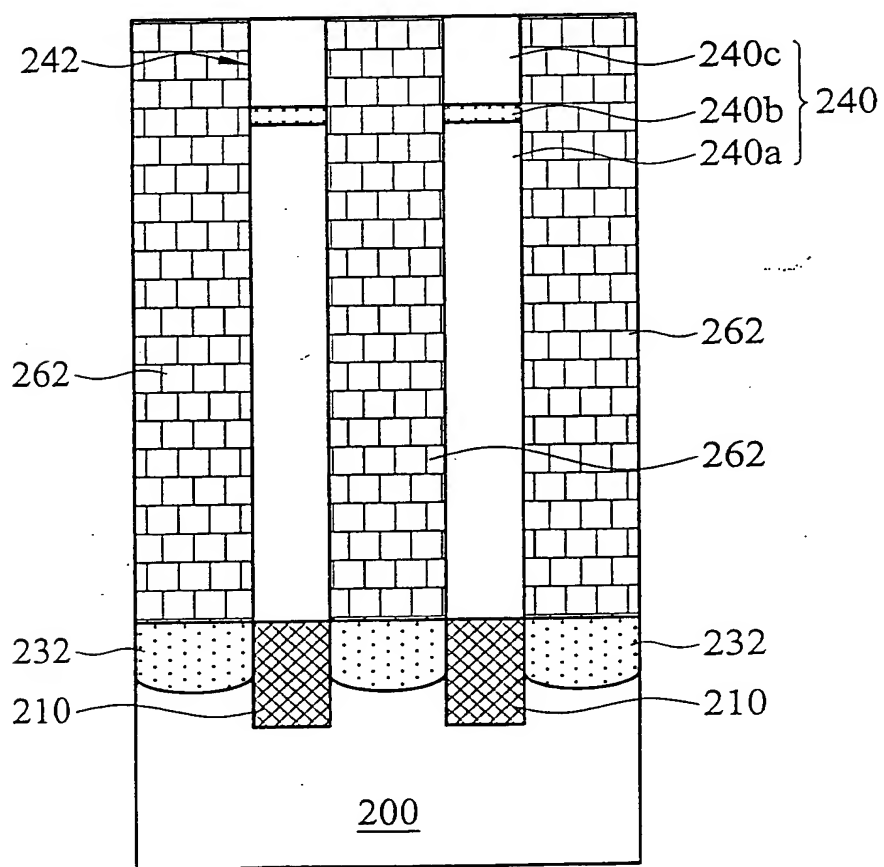
第 12B 圖



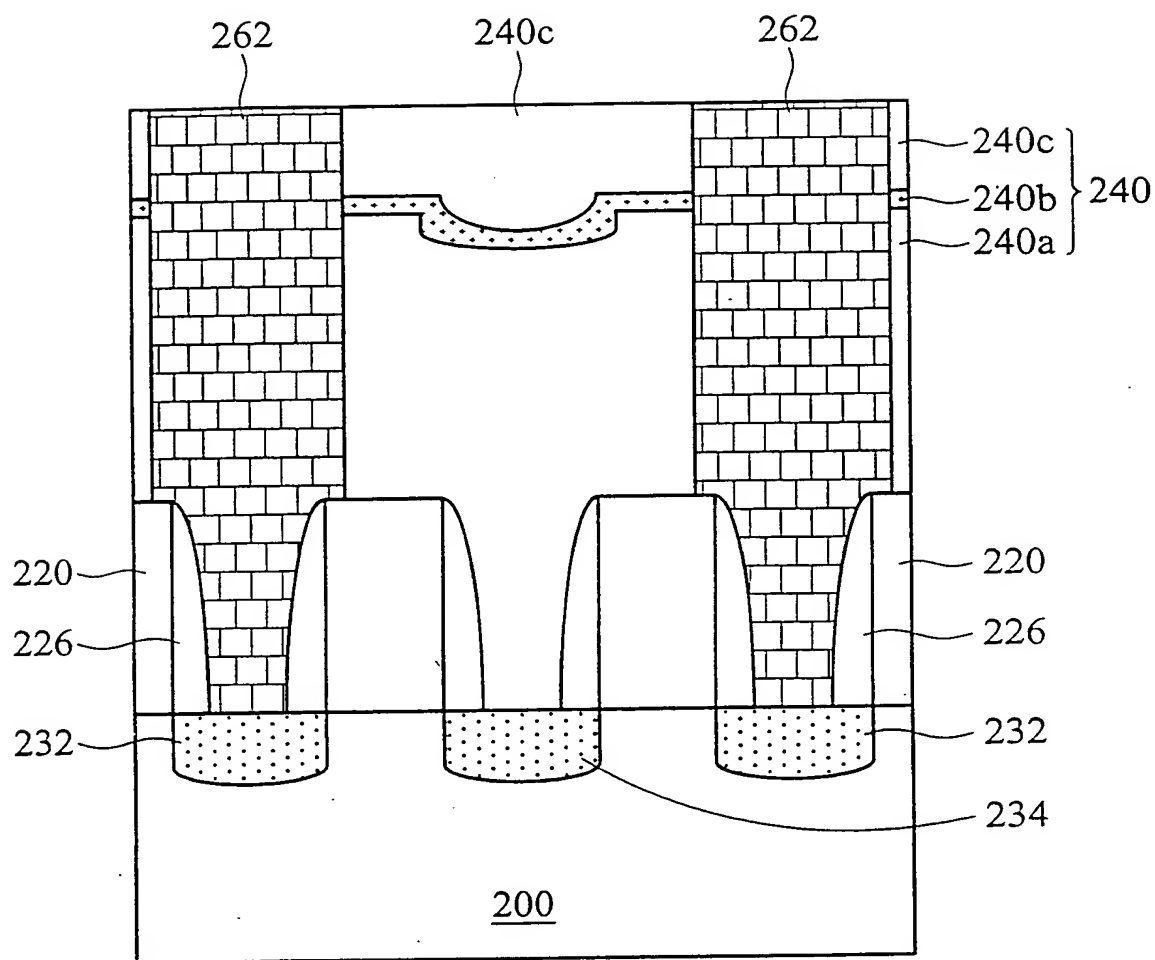
第 12C 圖







第 13A 圖




第 13B 圖



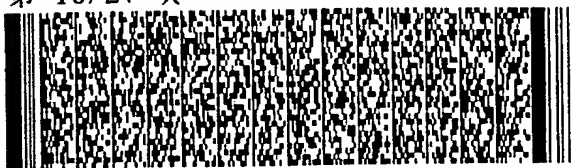
第 13C 圖



100



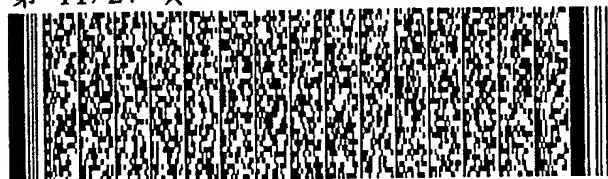
第 10/27 頁



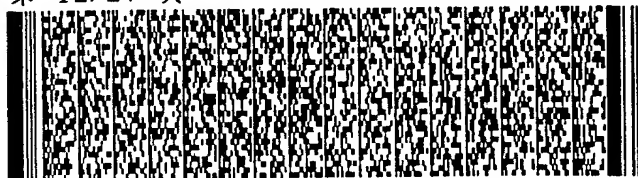
第 11/27 頁



第 11/27 頁



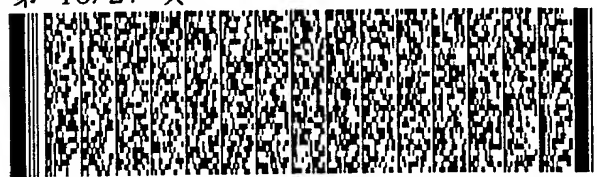
第 12/27 頁



第 12/27 頁



第 13/27 頁



第 13/27 頁



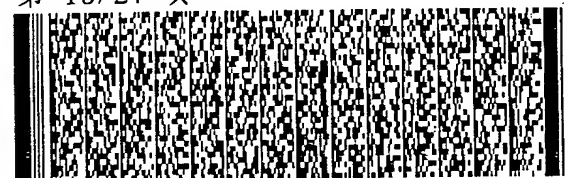
第 14/27 頁



第 14/27 頁



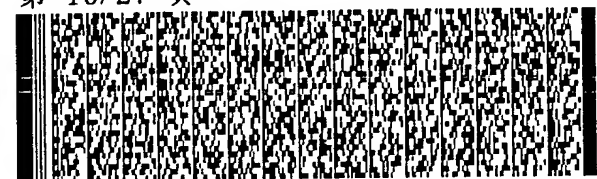
第 15/27 頁



第 15/27 頁



第 16/27 頁



第 16/27 頁



第 17/27 頁



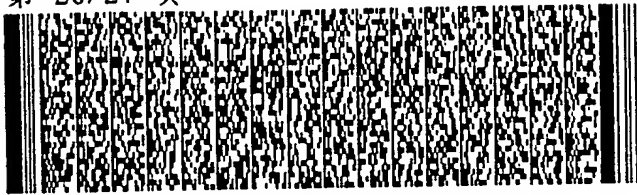
第 18/27 頁



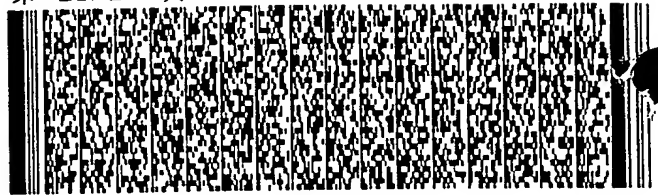
第 19/27 頁



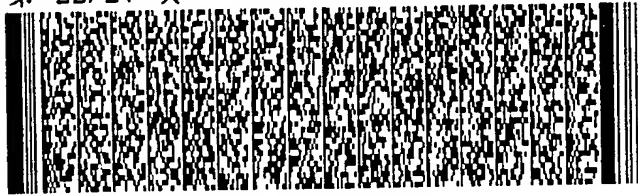
第 20/27 頁



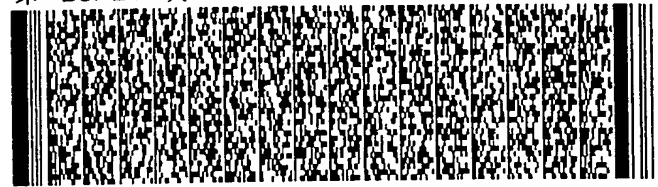
第 21/27 頁



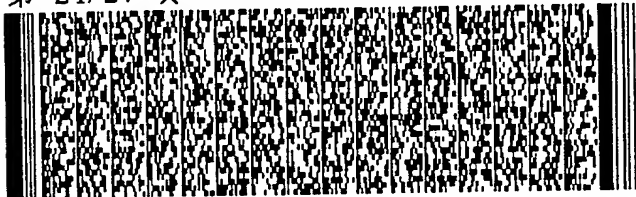
第 22/27 頁



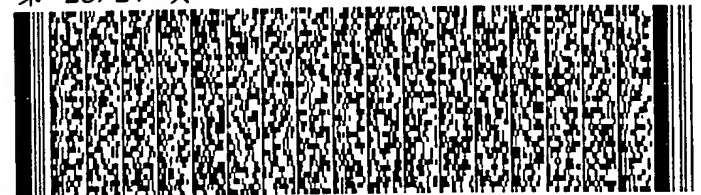
第 23/27 頁



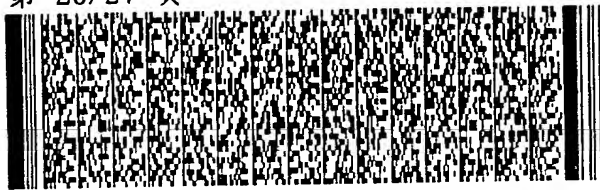
第 24/27 頁



第 25/27 頁



第 26/27 頁



第 27/27 頁

